



UNIVERSIDADE FEDERAL DO RIO GRANDE - FURG
CENTRO DE CIÊNCIAS COMPUTACIONAIS
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO
CURSO DE MESTRADO EM ENGENHARIA DE COMPUTAÇÃO

Dissertação de Mestrado

Procedimento para Estimativa da Susceptibilidade à Radiação de Circuitos Combinacionais

Clayton Rodrigues Farias

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Computação da Universidade Federal do Rio Grande - FURG, como requisito parcial para a obtenção do grau de Mestre em Engenharia de Computação

Orientador: Prof. Dr. Paulo Francisco Butzen

Rio Grande, 2022

Ficha Catalográfica

F224p Farias, Clayton Rodrigues.

Procedimento para estimativa da susceptibilidade à radiação de circuitos combinacionais / Clayton Rodrigues Farias. – 2022.
97 f.

Dissertação (mestrado) – Universidade Federal do Rio Grande – FURG, Programa de Pós-Graduação em Computação, Rio Grande/RS, 2022.

Orientador: Dr. Paulo Francisco Butzen.

1. Microeletrônica 2. Confiabilidade 3. Tolerância à Falhas 4. Monte Carlo 5. Circuitos Combinacionais 6. EDA 7. VLSI I. Butzen, Paulo Francisco II. Título.

CDU 621.3.049.77

Catálogo na Fonte: Bibliotecário José Paulo dos Santos CRB 10/2344

DISSERTAÇÃO DE MESTRADO

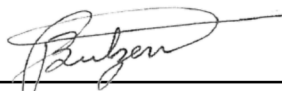
**Procedimento para estimativa da susceptibilidade à radiação de circuitos
combinacionais**

Clayton Rodrigues Farias

Banca examinadora:



Prof. Dr. Ewerson Luiz de Souza Carvalho

Prof. Dr. Tiago Roberto Balen

Prof. Dr. Paulo Francisco Butzen
Orientador

Dedico... Aos meus pais Antonio Farias, Rosangela Rodrigues, a minha irmã Luana Farias, ao meu tio Paulo Rodrigues, a família e amigos que com muito carinho e apoio não mediram esforços para eu chegar até essa etapa.

The good thing about science is that it's true whether or not you believe in it. —
(NEIL DEGRASSE TYSON)

RESUMO

FARIAS, Clayton Rodrigues. **Procedimento para Estimativa da Susceptibilidade à Radiação de Circuitos Combinacionais**. 2022. 98 f. Dissertação (Mestrado) – Programa de Pós-Graduação em Computação. Universidade Federal do Rio Grande - FURG, Rio Grande.

Circuitos nanométricos são caracterizados pelo consumo energético reduzido, pequenas margens de ruído, e baixos níveis de tensão. A redução agressiva nas dimensões das tecnologias nanométricas (utilizadas em projetos VLSI), tornou os circuitos integrados mais suscetíveis à radiação. Isto ocorre, sobretudo, pela redução da tensão de alimentação, e também, pelas dimensões e quantidade de dopantes das junções PN. Estas ao serem atingidas por partículas de radiação (com energia suficiente), podem gerar *Single Event Effects* de diferentes magnitudes. Em virtude disto, as falhas penalizam a confiabilidade dos circuitos eletrônicos, afetando a capacidade desses sistemas de operar corretamente, tornando assim a necessidade de avaliar a confiabilidade dos circuitos, para assim automatizar e melhorar o fluxo do projeto.

Esse trabalho apresenta um procedimento baseado em Monte Carlo para analisar a confiabilidade de circuitos combinacionais frente às falhas de radiação. O procedimento avalia a robustez dos circuitos diante às falhas transientes através da campanha de injeção de falhas, para identificar os nodos sensíveis à radiação e a taxa de falhas do circuito sobre avaliação, assim como, explora as características do projeto físico, como as regiões ativas dos leiautes das portas lógicas e um fluxo de partículas. Essas contribuições permitem determinar rapidamente a confiabilidade dos circuitos combinacionais frente às falhas transientes em diferentes tecnologias com maior precisão. Além disso, é possível embarcar essas tecnologias desenvolvidas em EDAs para auxiliar os projetistas no processo de *design* de circuitos integrados mais robustos.

Esse trabalho avaliou *benchmarks* presentes no estado da arte, e os resultados indicam que existe uma tendência que circuitos com maior área sensível sejam mais suscetíveis às falhas SET. Em contraponto, circuitos menores obtiveram os melhores resultados de confiabilidade, atingindo picos de funcionamentos entre falhas.

Palavras-chave: Microeletrônica, Confiabilidade, Tolerância à Falhas, Monte Carlo, Circuitos Combinacionais, EDA, VLSI.

ABSTRACT

FARIAS, Clayton Rodrigues. **Procedure for estimating the susceptibility of radiation in combinational circuits**. 2022. 98 f. Dissertação (Mestrado) – Programa de Pós-Graduação em Computação. Universidade Federal do Rio Grande - FURG, Rio Grande.

Nanometric circuits are characterized by reduced power consumption, small noise margins, and low voltage levels. The aggressive scaling in dimensions of the nanometric technologies used in VLSI projects made the integrated circuits more susceptible to radiation. Mainly due to the reduction of the supply voltage and of the dimensions and amount of dopants of the PN junctions, which, when reached by radiation particles with sufficient energy, can generate *Single Event Effects* of different magnitudes. These faults penalize the reliability of electronic circuits, affecting the ability of these systems to operate correctly. Therefore, it has become essential to assess the reliability of circuits by automating and improving the design flow.

This work presents a Monte Carlo-based procedure to analyze the reliability of combinational circuits against radiation faults. The procedure evaluates the robustness of circuits facing transient faults through the fault injection campaign to identify the radiation-sensitive nodes and the failure rate of the circuit under evaluation. Also, explore the physical design characteristics, such as the active regions of logic gate layouts and particles flows. These contributions make it possible to quickly determine the reliability of combinational circuits against transient faults in different technologies with more precision. Furthermore, it is possible to embed these technologies developed in EDAs to help designers in the design process of more robust integrated circuits.

This work evaluates benchmarks present in state-of-the-art, and results indicate that there is a tendency that circuits with the larger sensitive area are more susceptible to SET faults. In contrast, smaller circuits had the best reliability results, reaching more hours working between failures.

Keywords: Microelectronics, Reliability, Fault Tolerance, Monte Carlo, Combinational Circuits, EDA, VLSI.

LISTA DE FIGURAS

1	Evolução da densidade de transistores em um microchip (Extraído de: (ROSER; RITCHIE, 2013))	16
2	Propagação da falha SET após atingir nodo (em vermelho) através de circuito combinacional até atingir elementos de memória (SOFT ERROR RATE ESTIMATION OF VLSI CIRCUITS, 2021)	20
3	Comportamento de uma partícula de radiação ao atingir a região PN de um transistor NMOS (BAUMANN, 2004)	21
4	(ROSSI et al., 2005)	22
5	Um exemplo ilustrativo de mascaramento lógico (ZIMPECK; MEINHARDT; BUTZEN, 2014)	23
6	Exemplo de Mascaramento elétrico (Introduction: Soft Error Modeling, 2020)	23
7	Exemplo de mascaramento por janela de amostragem (SHIVAKUMAR et al., 2002)	23
8	Porta lógica NAND 8(a), Tabela verdade porta lógica NAND 8(b)	26
9	Relação entre ITM e PTM: da porta lógica NAND 9(a), 9(b) ITM, 9(c) PTM	27
10	Representação entre os níveis: portas lógica e interconexão (PONTES; FRANCO; BUTZEN, 2019)	27
11	Operação de composição (PATEL; HAYES; MARKOV, 2003): 11(a) Sequencial, 11(b) Paralela (Kronecker), 11(c) <i>Fanout</i>	28
12	Composição serial (multiplicação de matricial)	28
13	Composição paralela (produto de Kronecker)	29
14	Tipos de relação entre fios e suas respectivas matrizes ITM (FRANCO, 2008)	29
15	Relação entre a matriz de transferência ideal (ITM) e a matriz de transferência probabilística (PTM) (PONTES; FRANCO; BUTZEN, 2019)	30
16	Criação da matriz PTM do circuito: 16(a) circuito dividido em níveis, 16(b) representação das PTMs, 16(c) operações matriciais, 16(d) multiplicação do produto tensor pela PTM da porta NAND, e 16(e) matriz PTM do circuito gerada a partir da multiplicação de todos os níveis (PONTES; FRANCO; BUTZEN, 2019)	30
17	Matriz de probabilidade de sinais	32

18	Probabilidade dos sinais de entradas 18(b), porta lógica Nand 18(a), e a ITM porta Nand Indicando os estados corretos (FRANCO et al., 2008), passo a passo do cálculo SPR do sinal Y	32
19	Problema do método SPR quanto a imprecisão ao representar os <i>fanouts</i> (PONTES; FRANCO; BUTZEN, 2019)	33
20	Exemplificação do método SPR-MP: 20(a) circuito com a presença de <i>fanout</i> , 20(b) primeira rodada 'a0', 20(c) segunda rodada 'a3' de execução do SPR-MP e 20(d) Equação de confiabilidade final do circuito (Pagliarini et al., 2013)	34
21	Porta lógica NAND 8(a), Tabela verdade porta lógica NAND 8(b)	35
22	PGM de portas lógicas e interconexões (Jie Han et al., 2005)	36
23	Distribuição normal	38
24	Leiaute da Porta Lógica NAND2 (SILVACO'S, 2020)	42
25	Composição das células sensitive library conforme os vetores analisados	43
26	Fluxograma do procedimento	46
27	Exemplo de propagação do vetor "ABC=100" e detecção da falha SET na saída do circuito: 27(a) propagação livre de falha (Golden), 27(b) após injeção de falha SET	47
28	Informações topológicas do circuito c17V3 retiradas na execução do procedimento	52
29	Relatório simples do circuito c17V3	52
30	Composição das bibliotecas a partir das portas lógicas	54
31	Comparativo entre os tempos (s) de execução dos <i>benchmarks</i> avaliados	59
32	Taxa de falhas (%) EPFL15	62
33	Frequência conforme intervalo de Failure Rate para os todos <i>benchmarks</i> : Comparativo Minimal x Fullv2	63
34	Top dez piores FR (%), comparação dos resultados em Minimal, Fullv2 e portas lógicas em %	64
35	Área total ($\mu.m^2$) dos 20 maiores circuitos entre os <i>benchmarks</i>	65
36	Comparativo entre abordagem das áreas: Média x Vetores circuito c432	66
37	Comparativo dos resultados médios normalizados do MTBF, FR e Área Sensível	68
38	Comparativo entre a confiabilidade das versões Minimal x Fullv2	69
39	Descrição do FAV1	82
40	Descrição do Multiplex-4bits	82
41	Exemplo de <i>Logic Library</i>	83
42	42(a) Circuito combinacional c17v3: 42(b) descrição em verilog, e o relatório completo gerado para essa simulação 42(c)	85
43	Leiaute da Porta BUFFER	89
44	Leiaute da Porta INV	89
45	Leiaute da Porta NAND2	90

46	Leiaute da Porta XOR2	90
47	Leiaute da Porta NOR2	90
48	Leiaute da Porta NAND3	91
49	Leiaute da Porta NOR3	91
50	Leiaute da Porta OAI21	91
51	Leiaute da Porta AOI21	92
52	Leiaute da Porta NAND4	92
53	Leiaute da Porta NOR4	92
54	Leiaute da Porta OAI22	93
55	Leiaute da Porta AOI22	93
56	Leiaute da Porta OAI211	93
57	Leiaute da Porta AOI211	94
58	Leiaute da Porta AOI221	94
59	Leiaute da Porta OAI221	95

LISTA DE TABELAS

1	Comparativo entre o estado da arte em confiabilidade de circuitos digitais	40
2	Leiaute da Porta Lógica NAND2: Respectivas regiões ativas, dimensões e áreas totais	42
3	Áreas Sensíveis NAND2	43
4	Área média total e desvio padrão das células presentes na <i>Sensitive Library</i>	44
5	Informações sobre os circuitos <i>benchmarks</i>	50
6	Comparativo entre tabela verdade e saída do procedimento para o c17v3	51
7	Resumo dos Circuitos Benchmarks	54
8	Quantidade de portas lógicas dos Benchmarks ISCAS85, ISCAS89, LGSynth91 e EPFL15	55
9	Informações sobre o <i>Benchmark</i> ISCAS85 (BRYAN, 1985)	59
10	Taxa de falhas (FR%): Simulação de MC com 20000 (N) partículas para o <i>benchmark</i> ISCAS85	61
11	Compilação dos 25 melhores MTBFs observado entre os <i>benchmarks</i> avaliados	67
12	Comparativo entre os 10 melhores e piores MTBFs	70
13	Sensitive Library: Áreas Sensíveis Extraídas dos Leiautes - Parte I	86
14	Sensitive Library: Áreas Sensíveis Extraídas dos Leiautes - Parte II	87
15	Sensitive Library: Áreas Sensíveis Extraídas dos Leiautes - Parte III	88
16	Área sensível total (AS) dos <i>benchmarks</i> ISCAS85, ISCAS89, LGSynth91 e EPFL15	97
17	Confiabilidade dos circuitos <i>benchmarks</i> em MTBF (h/falhas) . .	98

LISTA DE ABREVIATURAS E SIGLAS

CI	Circuitos Integrados
DFR	<i>Detected Fault Rate</i>
EDA	<i>Electronic Design Automation</i>
FR	<i>Failure Ratio</i>
ITM	<i>Ideal Transfer Matrix</i>
MC	<i>Monte Carlo</i>
MET	<i>Multiple Event Transient</i>
MTBF	<i>Mean Time Between Failure</i>
Ne	Número de Falhas
PGM	<i>Probabilistic Gate Models</i>
PTM	<i>Probabilistic Transfer Matrix</i>
SEE	<i>Single Event Effects</i>
SET	<i>Single Event Transient</i>
SEU	<i>Single Event Upset</i>
SOnF	<i>Stuck-On</i>
SOF	<i>Stuck-Open</i>
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
SPR	<i>Signal Probability Reliability</i>
SPR-MP	<i>Signal Probability Reliability Multi Pass</i>
VLSI	<i>Very Large Scale Integration</i>

SUMÁRIO

1	Introdução	15
1.1	Motivação	16
1.2	Objetivos	17
1.3	Organização do Texto	18
2	Referencial Teórico	19
2.1	Suscetibilidade à Radiação	19
2.1.1	<i>Single Event Effects</i>	20
2.1.2	Múltiplas Falhas	21
2.2	Mascaramentos de Falhas	22
2.3	Modelos para Simulação de Falhas	23
3	Confiabilidade de Circuitos Integrados	25
3.1	Métodos Probabilísticos	25
3.1.1	Matriz de Transferência Probabilística	25
3.1.2	Probabilidade de Sinais	30
3.1.3	Modelo Probabilístico de Portas Lógicas	34
3.2	Métodos Estatísticos	38
3.3	Comparativo Entre as Metodologias	39
4	Procedimento Proposto	41
4.1	Método para Extração das Áreas Sensíveis	41
4.1.1	<i>Sensitive Library</i>	43
4.2	Fluxo de Partículas	44
4.3	Campanha de Injeção de Falhas	45
4.3.1	Configuração da Simulação de Monte Carlo	45
4.3.2	Simulador de Falhas	47
4.3.3	Análise da Tolerância à Falhas	48
4.3.4	Análise da Área Sensível Total do Circuito	48
4.3.5	Determinar a Confiabilidade do circuito	49
4.3.6	Relatórios da Simulação	49
4.4	Validação do Procedimento	49
4.4.1	Processo de Validação	50
4.4.2	Caso de Uso	51

5	Resultados e Análises	53
5.1	Circuitos Benchmarks	53
5.1.1	Versões das Bibliotecas	54
5.2	Análise de Desempenho	58
5.3	Análises à Falhas SET	60
5.3.1	Tolerância à Falhas	60
5.3.2	Análise das Áreas Sensíveis	64
5.3.3	Susceptibilidade dos Vetores	65
5.3.4	Confiabilidade	66
6	Considerações Finais	71
6.1	Principais Contribuições	72
6.2	Produções Científicas	72
	Referências	74
 ANEXOS		
A	Descrição dos Circuitos Teste em verilog	82
B	<i>Logic Library</i>	83
C	Estudo de Caso - Relatórios da Simulação	84
D	Tabelas - Áreas Sensíveis das Células	86
E	Leiautes das células em formato GDSII	89
F	Análises e Resultados	96

1 INTRODUÇÃO

A tecnologia está presente na sociedade em forma de processadores, sistemas embarcados, computação em nuvem, entre outras tendências. Como consequência desses avanços computacionais, os circuitos integrados (CI) precisam ter maior poder computacional para proporcionar novas funcionalidades e auxiliar nos novos desafios do cotidiano da sociedade (LIU, 2021) (BBC News, 2020).

A indústria de semicondutores explora a miniaturização dos nodos tecnológicos para produzir CIs menores e mais rápidos. Seguindo a prerrogativa de Moore, a redução constante no tamanho dos transistores permitiu o crescimento exponencial dos transistores encapsulados em um chip (MOORE, 1965), esse comportamento é refletido pela Figura 1. Contudo, essa agressiva miniaturização originou novos desafios ao projeto de circuitos integrados VLSI, dentre esses desafios, podem ser citados o controle de temperatura, o envelhecimento, a variabilidade de processo, as margens de ruído e a susceptibilidade a radiação (FERLET-CAVROIS; MASSENGILL; GOUKER, 2013).

A susceptibilidade a radiação tem penalizado negativamente a confiabilidade dos circuitos nanométricos (Borkar, 2005). Um dos motivos para isso é a incidência de radiação, capaz de se manifestar em forma de partículas alfa, nêutrons, prótons, múons e raios cósmicos, provocando SEE (*Single Event Effects*) amplamente conhecido também como *Soft-Errors* (Mahatme et al., 2010) (SEIFERT et al., 2006). Essas partículas ao atingirem regiões sensíveis de circuitos (definidas como regiões PN reversamente polarizadas dos transistores) e dependendo da energia dissipada por elas, tem o potencial de gerar pulsos de energia capazes de mudar a característica de um sinal, originando falhas transientes SET (*Single Event Transient*).

A distância entre os nodos adjacentes em tecnologias nanométricas tem se tornado menor, conseqüentemente, quando partículas atingem regiões sensíveis, estas podem causar múltiplas falhas MET (*Multiple Event Transient*) aumentando a susceptibilidade dos circuitos às falhas de radiação. Em circuitos combinacionais, essas falhas tem o potencial de atingir uma das saídas, caso não mascaradas pela topologia do circuito, e conseqüentemente, se capturadas por elementos de memória como

precisas como PTM (*Probabilistic Transfer Matrix*) e SPR-MP (*Signal Probability Reliability Multi Pass*) são inviáveis na avaliação de circuitos complexos devido ao crescimento exponencial do custo computacional vinculado as quantidade de entradas, portas e número de *fanouts* (PATEL; HAYES; MARKOV, 2003) (Franco et al., 2008). Contudo, soluções mais rápidas como SPR (*Signal Probability Reliability*) e PGM (*Probabilistic Gate Models*) fornecem a confiabilidade aproximada dos circuitos (FRANCO; NAVINER; NAVINER, 2006) (Jie Han et al., 2005).

Existem metodologias que não estão cientes do leiaute, isto é, desconsideram projeto físico dos circuitos, como em (MISKOV-ZIVANOV; MARCULESCU, 2006) e (Liu; Cai, 2017) os autores avaliam falhas SET, por outro lado, em (CAI et al., 2020) e (MISKOV-ZIVANOV; MARCULESCU, 2010) são explorados os impactos causados por falhas METs. Portanto, metodologias cientes do leiaute físico dos circuitos provem análises mais realistas através da identificação das regiões sensíveis das células (SCHVITZ; BUTZEN; ROSA, 2020). A combinação das análises anteriores com o posicionamento das células na síntese física, torna a avaliação de confiabilidade mais precisa (HUANG; WEN, 2015), (GEORGAKIDIS et al., 2020), (PALIAROUTIS et al., 2019), (HUANG; WEN, 2016).

Os efeitos físicos causados por partículas de radiação são exploradas ao passarem por materiais semicondutores em diferentes tecnologias (ALLISON et al., 2016). Da mesma forma, soluções industriais vistas em (THERY et al., 2021) simulam células lógicas fabricadas em diversas tecnologias, baseadas em níveis terrestre e espacial para prover a confiabilidade dos circuitos sobre diferentes condições. Soluções que envolvem a combinação entre a academia e a indústria (KRITIKAKOU et al., 2022), provém ferramentas para automação de *designs* com objetivo de avaliar a confiabilidade contra as falhas transientes.

Atualmente para mediar a vulnerabilidade dos circuitos à radiação são utilizadas métricas e taxas amplamente conhecidas no estado da arte, por exemplo, a métrica de confiabilidade MTBF (*Mean Time Between Failures*), a taxa SER (*Soft Error Rate*), e falhas esperadas por horas FIT (*Failure In Time*). Essas informações são cruciais no processo de projeto de um circuito integrado, nesse sentido, projetistas podem utilizar tecnologias embarcadas em EDAs (*Electronic Design Automation*) para estimar a confiabilidade precisamente, e aplicar técnicas para mitigar os efeitos gerados pela susceptibilidade à radiação com intuito de produzir circuitos mais robustos.

1.2 Objetivos

Esse trabalho apresenta um procedimento rápido para estimar a confiabilidade de circuitos combinacionais, diante a falhas SET, baseando-se na metodologia de

Monte Carlo. O objetivo desse trabalho é avaliar o comportamento dos circuitos frente a falhas transientes, estimando a tolerância à falha proporcionada através da taxa de falhas. Em seguida, avaliar a confiabilidade dos circuitos, permitindo que o procedimento extraia a confiabilidade desses dispositivos, ao considerar as regiões PN inversamente polarizadas como áreas sensíveis. A inclusão dessas informações extraídas a partir dos leiautes, em conjunto com um determinado fluxo de partículas de radiação que atingem os circuitos, permitem avaliar a susceptibilidade dos circuitos à radiação. A confiabilidade dos circuitos é expressa pelo tempo médio de operação entre falhas, habilitando futuras comparações dos resultados com o estado da arte.

A contribuição desses fatores impacta diretamente no comportamento da métrica de confiabilidade, e as informações extraídas das análises podem ajudar os projetistas de circuitos a produzirem arquiteturas mais robustas às falhas, melhorando a confiabilidade dos circuitos integrados. Portanto, é importante que os projetistas de circuitos integrados utilizem ferramentas atualizadas (do inglês: *Electronic Design Automation* - EDAs) no processo de concepção dos chips, para prover estimativas de confiabilidade mais precisas e eficientes.

1.3 Organização do Texto

A organização do trabalho está dividida na seguinte sequência: O capítulo 2 apresenta conceitos fundamentais para o entendimento sobre confiabilidade dos circuitos nanométricos. No capítulo 3 são apresentados as metodologias disponíveis no estado da arte em estimativa de confiabilidade. Na sequência, o capítulo 4 introduz o procedimento utilizado para avaliar a confiabilidade dos circuitos combinacionais, ao mesmo que o capítulo 5 dissertará sobre os resultados e análises abordados nesse trabalho. Por fim, no capítulo 6 são evidenciadas as principais contribuições, futuras análises, e as publicações aceitas em artigos e periódicos.

2 REFERENCIAL TEÓRICO

Neste capítulo são abordados conceitos importantes para melhorar a compreensão sobre a suscetibilidade as falhas originadas por partículas, assim como a definição das áreas sensíveis, representação das falhas conforme a classificação, mecanismos de mascaramento e modelos de simulação. Em síntese cada seção apresentará a visão geral e os conceitos essenciais para o entendimento do estado da arte, essas sessões têm relação direta com a tolerância a falhas e confiabilidade de circuitos nanométricos.

2.1 Suscetibilidade à Radiação

Os efeitos causados pela radiação em circuitos digitais tornaram-se um grande desafio em projetos VLSI. Esse tópico vem sendo pesquisado desde 1975 (BINDER; SMITH; HOLMAN, 1975) e segundo o autor do artigo, foram reportadas as primeiras falhas em blocos de memória (Flip-Flops JK), provocadas por raios cósmicos em satélites de telecomunicação. Nesse período, a taxa de falhas detectadas pelos modelos eram mínimas, porém ao passar dos anos os efeitos causados pela radiação foram totalmente reconhecidos. A primeira aparição de Soft Errors em circuitos na terra foi observado em (MAY; WOODS, 1979), onde a Intel relatou que contaminantes radioativos foram encontrados na água utilizada pela fabricante no processo de construção dos semicondutores onde as falhas foram detectadas (ZIEGLER et al., 1996). Os dejetos identificados na água eram de uma mina de urânio abandonada próxima à região.

Falhas provocam o funcionamento incorreto de um sistema, e como reflexo impactam diretamente na confiabilidade dos circuitos eletrônicos afetando a capacidade desses sistemas de operar corretamente (KIRKMAN, 1963). Elas apresentam diferentes fontes de origem como: a incidência de radiação, defeitos no processo de fabricação, envelhecimento e erros no projeto de *design* (DODD; MASSENGILL, 2003), (FRANCO, 2008).

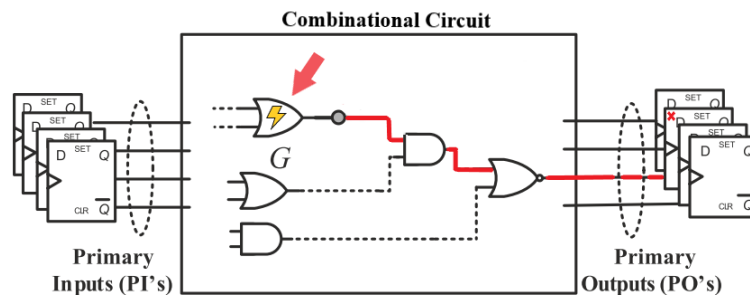
2.1.1 Single Event Effects

Existe uma classe especial de efeitos, denominados efeitos singulares, causadas pela colisão de partículas energizadas (α , nêutrons, prótons, íons pesados) originadas da órbita terrestre e espacial, que ao atingirem em regiões sensíveis do circuito (ASADI; TAHOORI, 2010), podem gerar mudanças no valor lógico desses nodos combinacionais e sequenciais.

Algumas condições aumentam a suscetibilidade à radiação dos dispositivos com impacto na análise de SEEs como: temperatura, envelhecimento, dopagem dos semicondutores, tipo de partícula, energia e seu ângulo de incidência sobre o dispositivo semiconductor (DODD; MASSENGILL, 2003) (REZAEI et al., 2020). Os efeitos gerados pelas falhas podem ser temporários ou permanentes.

Iniciando pelas falhas transientes que podem ser classificadas em SET e SEU (Introduction: Soft Error Modeling, 2020) (GAILLARD, 2010). A falha SET impacta o funcionamento do circuito durante um período curto, sem danificar o circuito permanentemente, e tem o potencial de propagar-se através do circuito combinacional até atingir os elementos de memória. A Figura 2 apresenta esse comportamento. Essa falha tem origem na colisão de partículas ao atingem regiões ativas dos transistores, essas regiões do circuito são especialmente sensíveis à radiação de partículas energizadas (Baumann, 2005) (SCHVITZ, 2020) (FERLET-CAVROIS; MASSENGILL; GOUKER, 2013).

Figura 2: Propagação da falha SET após atingir nodo (em vermelho) através de circuito combinacional até atingir elementos de memória (SOFT ERROR RATE ESTIMATION OF VLSI CIRCUITS, 2021)



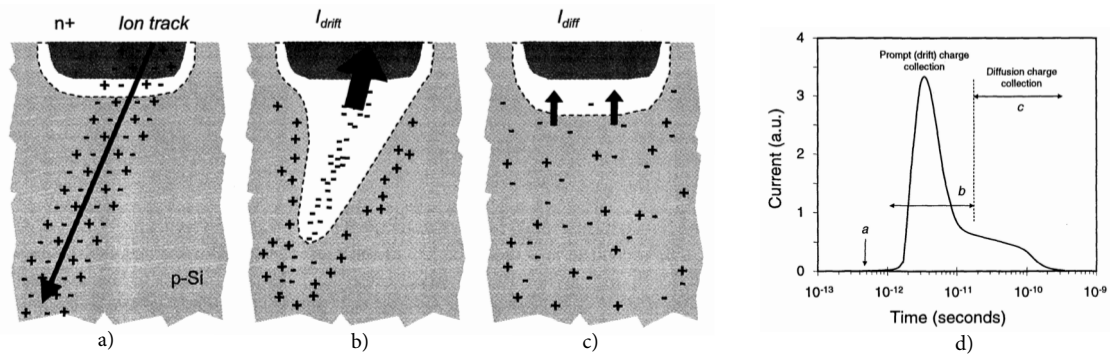
As falhas definidas como permanentes geram um dano irreversível ao dispositivo. Em outras palavras, mesmo se reiniciado o circuito operará em constante mau funcionamento, tornando-se permanente defeituoso (AGUIAR et al., 2016). Esse tipo de dano é originado quando partículas energizadas atingem a região sensível do circuito.

Na literatura o conceito de áreas sensíveis em circuitos CMOS possui interpretações distintas (WANG; AGRAWAL, 2008). A afirmação ideal seria que áreas sensíveis são definidas pela junção PN reversamente polarizada (Baumann, 2005).

Dessa forma, a Figura 3 exemplifica o comportamento de uma partícula de radiação energizada no momento em que atinge a região PN do transistor NMOS, gerando uma falha SET, com característica de afetar temporariamente um nodo do circuito, e dependendo da energia dissipada pela partícula de radiação, torna-se uma ameaça a confiabilidade dos circuitos integrados VLSI (Borkar, 2005).

Na Figura 3 (a) é possível visualizar o momento que essa partícula corta a região de depleção, criando lacunas e elétrons no processo. No segundo momento na Figura 3 (b) demonstra o trajeto percorrido pela partícula causando uma distribuição de carga desordenada, criando um efeito de funil, que resultará em alta corrente transiente no dispositivo. A Figura 3 (c) demonstra os portadores resultantes sendo coletados pelo processo de difusão no transistor NMOS, e por fim, o gráfico da corrente transiente é apresentado na Figura 3 (d).

Figura 3: Comportamento de uma partícula de radiação ao atingir a região PN de um transistor NMOS (BAUMANN, 2004)



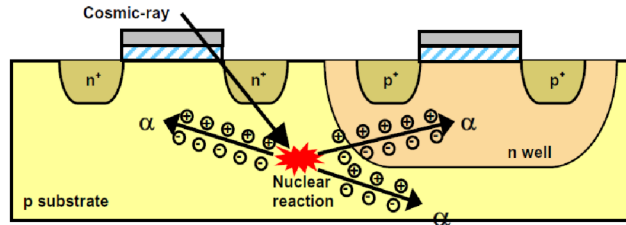
2.1.2 Múltiplas Falhas

SEEs podem ter fontes de origem distintas, sendo pela radiação ionizante direta ou indireta. Na ionização direta, Figura 3, partículas energizadas ao atingirem os semicondutores atravessam o material e liberam energia pelo percurso. Essa energia transferida é definida como LET (do inglês: *Linear Energy Transfer*) (DODD; MASSENGILL, 2003). Quando essa energia é totalmente dissipada os portadores minoritários são coletados pelo processo de difusão do dispositivo atingido.

Na ionização indireta quando uma partícula de radiação atinge um semiconductor, ocorrem reações nucleares com o substrato e resultam em partículas ionizantes secundárias (ROSSI et al., 2005) (NORMAND, 2004). Fatores como a colisão elástica produzida pelo silício, tipo da partícula, ou fragmentação do núcleo a partir da colisão, originam partículas com maior liberação energética que as originais. Devido ao *down scaling* agressivo, as distâncias das regiões PN entre os dispositivos atingido e os adjacentes estão reduzindo. Consequentemente, as difusões desses dispositivos adjacentes podem coletar as cargas secundárias, exemplificada pela Figura 4. Esse

fenômeno é conhecido como *charging sharing*, e nesse sentido, tanto a ionização direta e indireta impactam a confiabilidade dos circuitos.

Figura 4: (ROSSI et al., 2005)



2.2 Mascaramentos de Falhas

Em circuitos comerciais, a incidência de radiação é uma das principais formas de origem a falhas SET. Ao atingirem áreas sensíveis de nodos tecnológicos, podem propagar-se por uma série de portas lógicas até atingirem elementos de memória. Sendo assim, existem três tipos de mascaramentos capazes de prevenir que essas falhas se propaguem até a saída de circuitos combinacionais, sendo os mascaramentos: lógico, elétrico e por janela de amostragem (SAYIL, 2019).

O mascaramento lógico, reflete a capacidade da porta lógica de mascarar falhas através da lógica que a mesma implementa. Quando alguma falha acontece em uma porta lógica as próximas portas conseguem mascarar logicamente a falha conforme as outras entradas da porta. Esse comportamento é representado pela Figura 5, a porta NAND tem as entradas 0 e 1, ao ocorrer uma falha a saída torna-se 0. Consequentemente, se uma das entradas da próxima porta OR for 1, o sinal de saída OUT será sempre 1 independente do sinal de saída da porta NAND.

O mascaramento elétrico ocorre devido à capacidade da porta lógica de filtrar eletricamente a amplitude e comprimento da falha SET, na Figura 6 a falha é atenuada ao passar por uma cadeia de inversores em série.

Por outro lado, o mascaramento por janela de amostragem, acontece quando a falha não está no período específico de subida do *clock*, incapacitando o pulso de falha SET de ser capturado na entrada do elemento de memória. Esse comportamento é representado pela Figura 7.

Circuitos combinacionais possuem caminhos sensíveis relacionados diretamente ao impacto de falhas SET. Sendo assim, para descobri-los, realiza-se a análise de mascaramento lógico identificando esses caminhos. O mascaramento lógico é independente de tecnologia, logo, pode ser utilizado em diferentes análises, dentre elas, a análise de confiabilidade dos circuitos. Contribuições como (Slimani; Naviner, 2015) realizam a análise unificada entre os mascaramentos lógicos e elétricos, avaliando o mascaramento elétrico a partir desses caminhos sensíveis, tornado a análise mais

precisa tendo em vista que ambos tem relação direta. Portanto, tanto a estimativa de confiabilidade geral completa do circuito, quanto a parcial dos caminhos sensíveis, proporciona que projetistas de circuitos integrados, identifiquem caminhos sensíveis e aumentem a tolerância a falhas transientes nos circuitos.

Figura 5: Um exemplo ilustrativo de mascaramento lógico (ZIMPECK; MEINHARDT; BUTZEN, 2014)

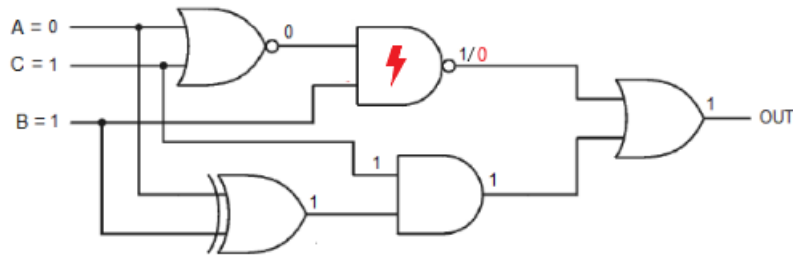


Figura 6: Exemplo de Mascaramento elétrico (Introduction: Soft Error Modeling, 2020)

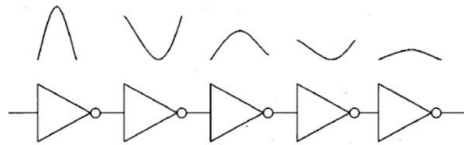
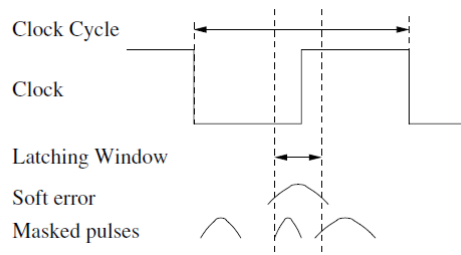


Figura 7: Exemplo de mascaramento por janela de amostragem (SHIVAKUMAR et al., 2002)



2.3 Modelos para Simulação de Falhas

Avaliar os efeitos causados por radiação é um desafio, devido a diferentes fatores como: os ambientes de simulação, controlabilidade de testes, além dos custos monetários e temporais que envolvem essa avaliação. Atualmente, são realizados testes por injeção de falhas para avaliar a sensibilidade dos circuitos eletrônicos às falhas SEEs. Com objetivo de medir e avaliar a robustez do circuito são empregados modelos de injeção de falhas para simular os efeitos causados por SEEs (ALEXANDRESCU; STERPONE; LÓPEZ-ONGIL, 2014). É comparada a execução do

circuito livre de falha (Golden) com o circuito sobre efeito de falhas. São utilizados modelos de injeção de campanhas de falhas em nível lógico, físico, ou baseados em emulação (Plataforma) (ARLAT et al., 1990).

O modelo de injeção de falhas é realizado em nível lógico (software), e necessita somente da descrição final do circuito. Ele utiliza os recursos do circuito com objetivo de acessar os elementos internos e injetar falhas SET/SEU (bitflips), observando a propagação entre as portas lógicas do circuito. Esse modelo tem a finalidade de reduzir o custo da simulação, enquanto mantém uma precisão aceitável, dado o custo temporal da simulação (ALEXANDRESCU; STERPONE; LÓPEZ-ONGIL, 2014).

Em contraponto, o modelo físico utiliza fontes de perturbação externas, como os equipamentos de raio laser para provocar as SEEs nos circuitos. Em missões espaciais, automotivas ou aéreas são avaliadas partículas (prótons, nêutrons, íons pesados) para identificação das falhas, medindo o fluxo e a robustez do circuito. Por outro lado, o modelo baseado em emulação, utiliza dispositivos reprogramáveis (FPGA) para realizar campanhas de injeção de falhas SEU. Modificando o conteúdo da memória e avaliando a tolerância dos mesmos (ALEXANDRESCU; STERPONE; LÓPEZ-ONGIL, 2014).

Avaliar a abstração das falhas em níveis distintos tem impacto direto na precisão das análises. Quando utilizadas nos primeiros estágios do projeto até a fase final, contribuem para localizar os elementos mais sensíveis às falhas e auxiliam na utilização de técnicas para a mitigação das falhas.

3 CONFIABILIDADE DE CIRCUITOS INTEGRADOS

O conceito de confiabilidade é definido como a probabilidade de um determinado sistema operar sem falhas, durante um tempo predeterminado (BIROLINI, 2017). Do ponto de vista quantitativo, confiabilidade é a habilidade do sistema continuar operacional. Em vista disso, melhorar a confiabilidade dos circuitos tem consequência direta na eliminação das falhas por meio da previsão e adoção de técnicas de tolerância a falhas.

Por isso, este capítulo apresenta as principais metodologias em estimativa de confiabilidade. Estes métodos estão divididos da seguinte forma: probabilísticos e estatísticos. Na sequência são descritos os conceitos fundamentais de cada método, elencado as análises, metodologias empregadas, exemplificações e obtenção da confiabilidade dos circuitos combinacionais.

3.1 Métodos Probabilísticos

Existem diversas metodologias para estimativa de confiabilidade em circuitos baseadas em métodos probabilísticos (Franco et al., 2008). Através da probabilidade dos eventos é possível modelar e representar grande parte das falhas em circuitos lógicos. Nesse sentido essa sessão apresenta as metodologias presentes no estado da arte que se baseiam na probabilidade de matrizes e sinais.

3.1.1 Matriz de Transferência Probabilística

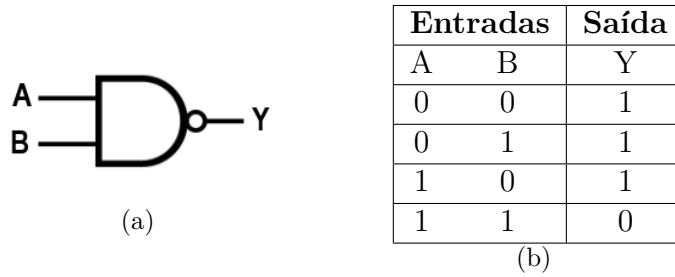
A matriz de transferência probabilística (PTM - do inglês: *Probabilitic Transfer Matriz*) é um método exato para estimar a confiabilidade de circuitos combinacionais (PATEL; HAYES; MARKOV, 2003). A PTM representa todas as possibilidades de entradas, e saídas, independentemente da tecnologia. Esse método teve as seguintes contribuições (Krishnaswamy et al., 2005), (Naviner et al., 2014).

Baseando-se no modelo de falhas à nível de portas lógicas, este método consegue estimar a confiabilidade geral do circuito através da combinação da confiabilidade individual das portas lógicas e da topologia do circuito. Esse modelo de falhas

consegue detectar defeitos no processo de fabricação, e falhas transientes.

A tabela verdade representa o comportamento livre de falha de circuitos combinacionais ou portas lógicas, onde o mapeamento é determinístico, e a partir dos valores de entrada obtém-se o valor de saída. Por exemplo, a porta lógica NAND representada pela Figura 8(a) e a sua respectiva tabela verdade 8(b). Sem a presença de falhas, o comportamento esperado desta porta com as entradas “AB=11” seja $Y=0$. Por outro lado, na presença de falhas esta porta lógica, após uma mudança no sinal B de 1 para 0 (*bitflip*), o valor de saída torna-se $Y=1$. Essa mudança no sinal lógico, simboliza que esta porta gera uma saída incorreta, em outras palavras, indica uma falha na porta logica NAND.

Figura 8: Porta lógica NAND 8(a), Tabela verdade porta lógica NAND 8(b)

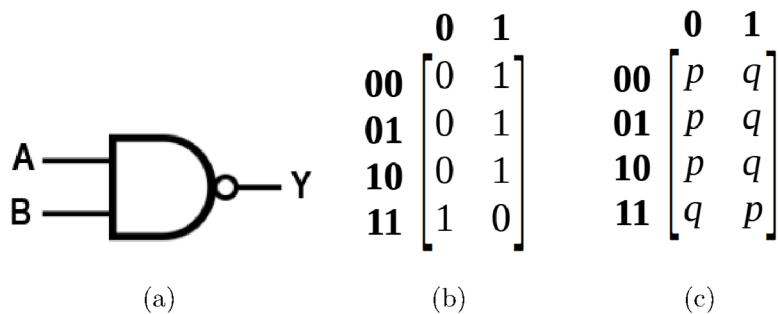


A matriz de transferência probabilística (PTM) representa a relação entre a combinação das entradas gerar uma combinação de saída, e o somatório das probabilidades de todos os elementos dessa linha é igual a '1'. A matriz resultante de ordem $2^x \times 2^y$, é originada da combinação de todas as entradas e saídas de uma porta lógica, ou todo circuito. Sendo x o número de entradas e y o número de saídas. Para refletir um circuito ou porta livre de falhas a PTM é construída exclusivamente com valores lógicos '0' e '1', essa representação é denominada Matriz de Transferência Ideal (ITM - do inglês: *Ideal Transfer Matrix*) apresentada pela Figura 9(b).

A partir da tabela verdade das portas lógicas é obtida a combinação de entradas e saídas para modelar a respectiva PTM. Enquanto a tabela verdade Figura 8(b) representa os valores gerados pela função lógica, a PTM apresentada pela Figura 9(c) reflete a probabilidade de ocorrência dos valores '0' e '1' na saída. A variável 'q' remete a confiabilidade da porta, e “ $p = 1 - q$ ” significa a probabilidade de erro dessa porta.

Para estimar a confiabilidade de um circuito assume-se que a matriz de transferência probabilística individual de porta lógica seja conhecida, assim como, cada porta tenha uma probabilidade individual de confiabilidade 'q' e que portas possam ter probabilidades distintas de confiabilidade (PATEL; HAYES; MARKOV, 2003). Ainda, é importante ressaltar que diferentes entradas tem contribuições distintas na probabilidade de falhas segundo (Schivittz et al., 2016). A partir das premissas anteriores, é necessária a execução de operações matemáticas matriciais, onde

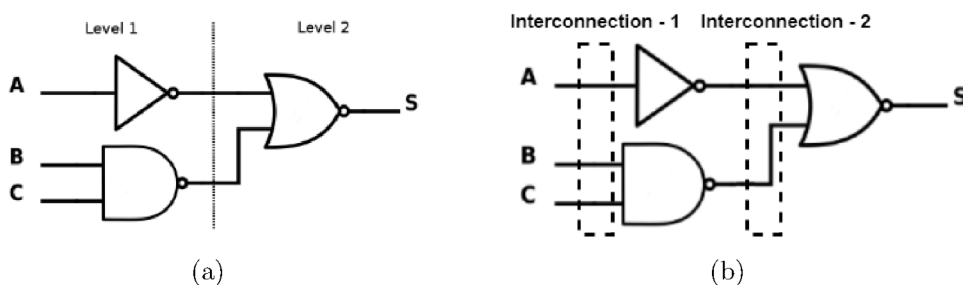
Figura 9: Relação entre ITM e PTM: da porta lógica NAND 9(a), 9(b) ITM, 9(c) PTM



é possível obter a matriz de transferência do circuito (PTM), assim como a matriz de transferência ideal (ITM). A mecânica básica de construção da PTM do circuito ocorre a partir da conexão das portas lógicas em sub-circuitos, a cada passo são conectados dois componentes (portas lógicas ou fios no mesmo nível de porta lógica), e sua matriz resultante é reconectada ao sub-circuito. Ao final do cálculo PTM desse nível a matriz PTM resultante é transportada para o próximo nível, onde o processo de execução é o mesmo para os níveis remanescentes.

Para estimar a confiabilidade de um circuito, é necessário manter as propriedades originais do mesmo, por isso o método PTM considera que existem dois tipos de níveis: nível de porta lógica e nível de interconexão. No primeiro, são consideradas todas as portas com a mesma profundidade lógica, a Figura 10(a) apresenta um circuito com dois níveis de porta lógica (*level1*, *level2*). Por outro lado, no nível de interconexão, são considerados todos os fios e suas possíveis permutações (cruzamentos) na topologia do circuito, começando pela entrada e prosseguindo entre os níveis de porta lógica. Exemplificando a Figura 10(b) apresenta um circuito com dois níveis de interconexão.

Figura 10: Representação entre os níveis: portas lógica e interconexão (PONTES; FRANCO; BUTZEN, 2019)



Existem três operações básicas representados pela Figura 11, que realizam a composição entre componentes como portas e fios: Figura 11(a) serial, Figura 11(b)

paralela, e Figura 11(c) fios correlacionados definidos como *fanouts*. Na composição serial Figura 11(a) acontece quando dois componentes estão em série resultando no produto entre dois elementos A e B . Os componentes são representados pelas PTMs, com as respectivas dimensões: M entradas e N saídas, e N entradas e T saídas. A matriz resultante da multiplicação das matrizes entre os elementos será de ordem $M \times T$. Para exemplificar essa composição a Figura 12, considera os componentes A e B como inversores conectados em série 12(a), com as respectivas PTMs (A e B) 12(b), e a PTM resultante 12(c).

Na composição paralela Figura 11(b), é aplicado o produto tensor de Kronecker aos componentes A e B . Os componentes são representados pelas PTMs, com as respectivas dimensões: M entradas e N saídas, e R entradas e T saídas. Considerando as PTMs mostradas pela Figura 12(b) representando os inversores, ao aplicar o produto de Kronecker, o resultado será a Figura 13(c), e a ordem da PTM resultante $L \times C$, vem da multiplicação entre as as linhas e colunas dos elementos, sendo $L = M \times R$ e $C = N \times T$.

Figura 11: Operação de composição (PATEL; HAYES; MARKOV, 2003): 11(a) Sequencial, 11(b) Paralela (Kronecker), 11(c) *Fanout*

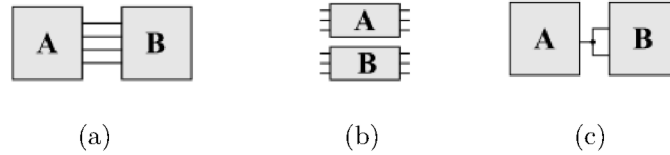
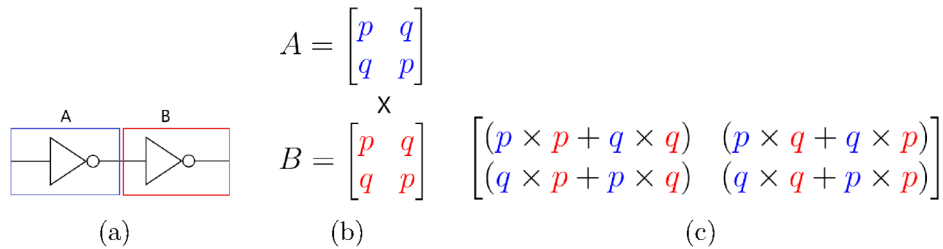


Figura 12: Composição serial (multiplicação de matricial)



Fios correlacionados são identificados como *fanouts*, eles são considerados blocos, que subdividem sua saída em múltiplas conexões de entrada do próximo bloco, o exemplo está na Figura 11(c). Para representar as relações entre os fios são utilizadas matrizes de interconexão (ITM) da Figura 14. Essas ITMs garantem que a topologia das entradas e saída do circuito, ao simplesmente considerar "0" as posições de saída indesejadas. Por exemplo, o *fanout*, com a entrada A '0', possui somente a saída A "00 = 1", pois nenhum fio pode ter valores distintos em simultâneo, como A '0' ter os valores de saída A "11 = 1".

Figura 13: Composição paralela (produto de Kronecker)

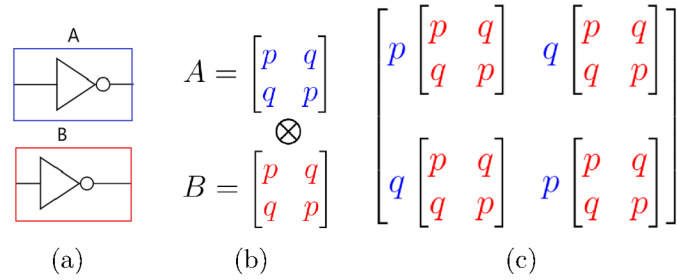
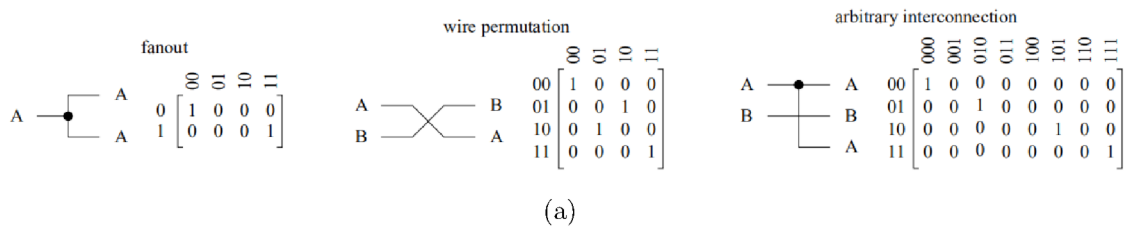


Figura 14: Tipos de relação entre fios e suas respectivas matrizes ITM (FRANCO, 2008)



Depois de todas as operações terem sido introduzidas, o próximo passo é estimar a confiabilidade geral do circuito, a Figura 16 apresenta todos os passos necessários. Primeiro, vem a identificação de todos os níveis de portas lógicas e interconexões. Em seguida as portas lógicas são divididas nos respectivos níveis apresentados pela Figura 16(a). Cada porta tem sua PTMs vinculada presente em Figura 16(b). Considerando que o circuito não tem cruzamento de fios, não é necessário a multiplicação da matriz de interconexão no cálculo.

Na Figura 16(c) são apresentados os cálculos necessários para obter a PTM resultante do circuito. Como as portas estão em paralelo, e tem a mesma profundidade de nível, o produto tensor entre elas é uma matriz de ordem 8x4 demonstrada pela Figura 16(d). Tendo a PTM do nível conhecida, multiplica-se pela matriz de interconexão do próximo nível, como os fios se mantêm verticalmente nas mesmas posições esse passo é desconsiderado. Passando para o próximo nível de porta lógica, é realizada a multiplicação da PTM (anterior 8 × 4) com a porta lógica NOR, porque ambas estão em série Figura 16(d). A PTM de ordem 8 × 2 resultante desse cálculo, representa a matriz probabilística gerada para todo o circuito Figura 16(e).

Conhecendo a PTM gerada para todo o circuito, o próximo passo é estimar o valor de confiabilidade do mesmo. A partir da ITM do circuito Figura 15 que representa o comportamento livre de falhas é utilizada a Equação 1, para cada posição (i,j) da matriz ITM onde o valor seja igual a '1' acontece o acúmulo referente a ele usando a PTM. Exemplificando, na matriz ITM com índice $i = 0$ e $j = 0$ tem valor '1', logo usam-se esses índices i e j como referências para obter os valores de

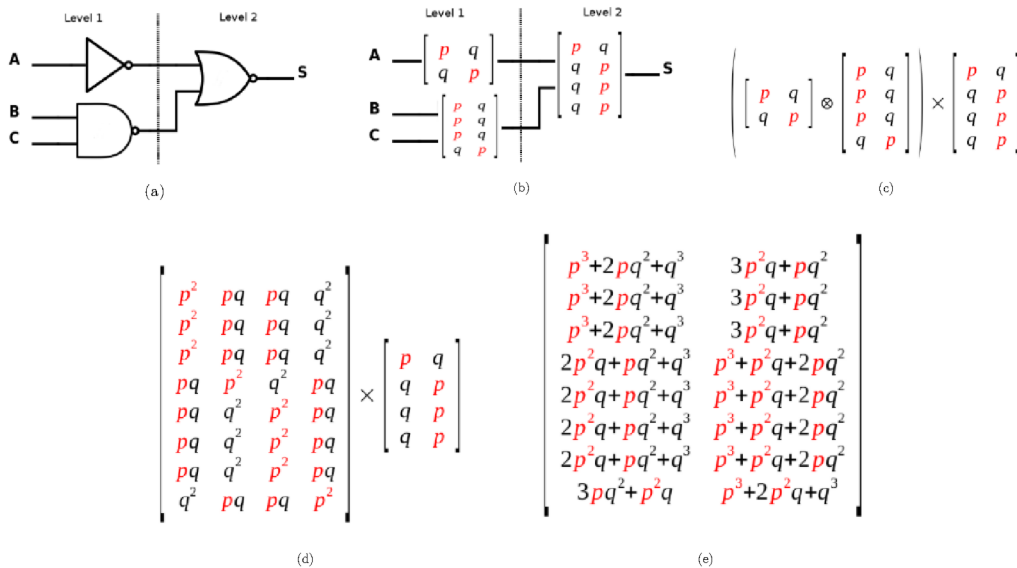
confiabilidade respectivos na matriz PTM. Para os índices $i = 0$ e $j = 0$ a PTM tem o valor de confiabilidade vinculado. Esse processo acontece para todas as demais posições da matriz ITM com valor '1' e a PTM, a cada passo vão se acumulando os resultados e ao final do processo é obtida a confiabilidade final do circuito.

$$R_{PTM} = \sum_{ITM_{c(i,j)=1}} p(i|j)p(i) \quad (1)$$

Figura 15: Relação entre a matriz de transferência ideal (ITM) e a matriz de transferência probabilística (PTM) (PONTES; FRANCO; BUTZEN, 2019)

$$ITM_c = \begin{bmatrix} 1 & 0 \\ 1 & 0 \\ 1 & 0 \\ 1 & 0 \\ 1 & 0 \\ 1 & 0 \\ 1 & 0 \\ 0 & 1 \end{bmatrix} \quad PTM_c = \begin{bmatrix} p^3 + 2pq^2 + q^3 & 3p^2 + pq^2 \\ p^3 + 2pq^2 + q^3 & 3p^2 + pq^2 \\ p^3 + 2pq^2 + q^3 & 3p^2 + pq^2 \\ 2p^2q + pq^2 + q^3 & p^3 + p^2q + 2pq^2 \\ 2p^2q + pq^2 + q^3 & p^3 + p^2q + 2pq^2 \\ 2p^2q + pq^2 + q^3 & p^3 + p^2q + 2pq^2 \\ 2p^2q + pq^2 + q^3 & p^3 + p^2q + 2pq^2 \\ 3pq^2 + p^2q & p^3 + 2p^2q + q^3 \end{bmatrix}$$

Figura 16: Criação da matriz PTM do circuito: 16(a) circuito dividido em níveis, 16(b) representação das PTMs, 16(c) operações matriciais, 16(d) multiplicação do produto tensor pela PTM da porta NAND, e 16(e) matriz PTM do circuito gerada a partir da multiplicação de todos os níveis (PONTES; FRANCO; BUTZEN, 2019)



3.1.2 Probabilidade de Sinais

O método SPR (*Signal Probability Reliability* - SPR) estima a confiabilidade geral de circuitos combinacionais através da probabilidade de sinais, ao observar falhas permanentes, intermitentes e transientes originadas pela incidência de radiação

(FRANCO; NAVINER; NAVINER, 2006). Esse método e suas variantes, são baseados no método PTM citado anteriormente, e buscam mitigar o uso de memória através da redução na ordem das matrizes geradas, tornando-o escalável e aplicável em circuitos com número elevado de portas lógicas.

O algoritmo SPR propõe estimar a confiabilidade do circuito através da propagação das probabilidades dos sinais de entradas até as saídas do circuito combinacional (FRANCO et al., 2008), por meio da acumulação dos efeitos de múltiplas falhas entre as portas lógicas do circuito. O algoritmo tem como base a topologia do circuito e a confiabilidade das portas para determinar a confiabilidade correta dos sinais.

A definição de probabilidade de sinal tem origem na probabilidade do sinal lógico ser igual a '1' ($P(sinal) = 1$), essa representação não tem capacidade de mapear falhas, por considerar somente dois estados possíveis: $P(1)$ e o complemento $P(0)$ (Ercolani et al., 1989). Para representar sinais sujeitos a falhas demonstrado pela Figura 17, é necessária uma matriz de probabilidade dos sinais assim como no método PTM, porém com ordem reduzida 2×2 exemplificada pela Figura 17(a). Ela representa a probabilidade de quatro possíveis estados apresentado pela Figura 17(b): 0 correto, 0 incorreto, 1 correto e 1 incorreto (FRANCO et al., 2008). Esses quatro estados abordam a confiabilidade do sinal, caracterizado como $R(Sinal_X) = a0 + a3$ para comutação das probabilidades de funcionamento corretas, e a probabilidade de falhas como $F(Sinal_X) = a2 + a1$.

Em um circuito, uma porta lógica pode ter dois estados possíveis de operação: o primeiro estado de operação correta e o segundo estado que indica falha. Assim como no método PTM, as matrizes que representam a propensão de falhas em portas, podem ser obtidas a partir da tabela verdade. E para representar um comportamento propenso a falhas, é usada a matriz de transferência probabilística (PTM), assim como as matrizes de transferência ideal (ITM) são utilizadas para representar o comportamento livre de falha. Os valores usados nas matrizes representam as probabilidades individuais de cada entrada e saída vinculada a elas. Considere uma porta NAND com as entradas A e B , a Figura 18 apresenta passo a passo como obter a matriz de confiabilidade do sinal Y , vindo da porta lógica NAND.

A partir das matrizes de probabilidade das entradas A e B , e considerando a confiabilidade da porta igual a q , A probabilidade do sinal Y é obtida pela computação de todas as possíveis combinações de probabilidades dos estados das entradas e portas. A aplicação do tensor de Kronecker nas entradas, representa todas as probabilidades de combinação em uma matriz I_{NAND} , ao multiplicar essa matriz pela PTM_{NAND} da porta, é obtida a matriz de probabilidades de saída $P(Y)$, usando essa matriz, o próximo passo é o somatório das probabilidades corretas e incorretas nas devidas posições e a reorganização guiando-se pela ITM da porta e os 4 estados

de probabilidade. Ao final do processo, é obtida uma matriz $SPR(Y)$ de 2x2 que representa as probabilidades corretas e incorretas do sinal Y . A confiabilidade final do sinal Y será a soma dos estados corretos: $(0)C + (1)C$ da matriz $SPR(Y)$.

Figura 17: Matriz de probabilidade de sinais

$$\begin{aligned} \text{Sinal}_X &= \begin{bmatrix} a0 & a1 \\ a2 & a3 \end{bmatrix} & SPR_{\text{sinal}} &= \begin{bmatrix} P(\text{"0"correto}) & P(\text{"1"incorreto}) \\ P(\text{"0"incorreto}) & P(\text{"1"correto}) \end{bmatrix} \\ (a) & & (b) & \end{aligned}$$

Figura 18: Probabilidade dos sinais de entradas 18(b), porta lógica Nand 18(a), e a ITM porta Nand Indicando os estados corretos (FRANCO et al., 2008), passo a passo do cálculo SPR do sinal Y

$$\begin{aligned} (a) \quad & \begin{array}{c} \text{A} \\ \text{B} \end{array} \begin{array}{c} \text{---} \\ \text{---} \end{array} \begin{array}{c} \text{---} \\ \text{---} \end{array} \text{Y} \\ (b) \quad & A = \begin{bmatrix} a0 & a1 \\ a2 & a3 \end{bmatrix} \quad B = \begin{bmatrix} b0 & b1 \\ b2 & b3 \end{bmatrix} \\ (c) \quad & \begin{array}{cc} \begin{bmatrix} 0 & 1 \\ 0 & 1 \\ 0 & 1 \\ 1 & 0 \end{bmatrix} & \begin{array}{c} \text{---} \\ \text{---} \\ \text{---} \\ \text{---} \end{array} \\ \text{a0} \leftarrow & \text{a3} \end{array} \\ (d) \quad & \begin{bmatrix} a0b0 & a0b1 & a1b0 & a1b1 \\ a0b2 & a0b3 & a1b2 & a1b3 \\ a2b0 & a2b1 & a3b0 & a3b1 \\ a2b2 & a2b3 & a3b2 & a3b3 \end{bmatrix} \times \begin{bmatrix} p & q \\ p & q \\ p & q \\ q & p \end{bmatrix} \\ & I_{NAND} = A \otimes B \quad PTM_{NAND} \\ (e) \quad & \begin{bmatrix} (a0b0p + a0b1p + a1b0p + a1b1q) & (a0b0q + a0b1q + a1b0q + a1b1p) \\ (a0b2p + a0b3p + a1b2p + a1b3q) & (a0b2q + a0b3q + a1b2q + a1b3p) \\ (a2b0p + a2b1p + a3b0p + a3b1q) & (a2b0q + a2b1q + a3b0q + a3b1p) \\ (a2b2p + a2b3p + a3b2p + a3b3q) & (a2b2q + a2b3q + a3b2q + a3b3p) \end{bmatrix} \sim \begin{bmatrix} (0)C & 1(I) \\ (0)I & (1)C \end{bmatrix} \\ & P(Y) \quad SPR(Y) \end{aligned}$$

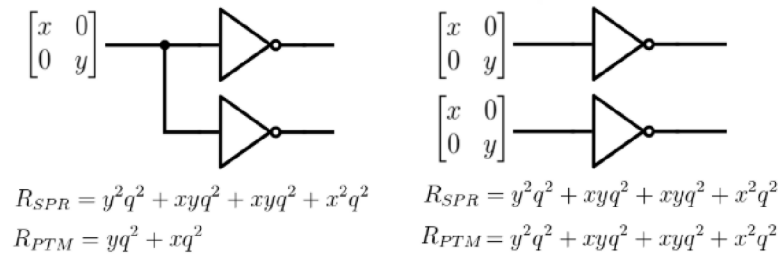
Para estimar a confiabilidade de todo o circuito, o método propaga os sinais sequencialmente, partindo das matrizes de probabilidade das entradas até as saídas do circuito. O mesmo processo é aplicado para cada porta, e ao final é necessário realizar o produto entre as confiabilidades de saída do circuito representado pela Equação 2, onde R_j relaciona j^{th} da saída do circuito a ser selecionado.

$$R_{SPR} = \prod_{j=0}^{m-1} R_j \quad (2)$$

Apesar de o método ter complexidade linear $\mathcal{O}(N)$, sendo N portas lógicas o SPR se torna impreciso quando enfrenta *fanouts* reconvergentes, isto é, ao computar as subdivisões dos fios o método considera que este fio possua duas probabilidades

distintas em simultâneo. A Figura 19 apresenta dois circuitos e cada apresenta dois inversores. No primeiro a esquerda existe um *fanout* nas entradas, contudo, no segundo circuito a direita não existe *fanouts*. Para cada um deles é apresentada a matriz de probabilidades dos sinais de entrada, e o cálculo de ambos métodos PTM (R_{PTM}) e SPR (R_{SPR}). O método PTM por ser exato na estimativa de confiabilidade quando enfrenta *fanouts*, utilizando as matrizes de interconexão para mapear e calcular a probabilidade correta das permutações de fios. Por outro lado, o método SPR, considera que o partir da subdivisão do fio, o sinal seja representado como dois sinais distintos.

Figura 19: Problema do método SPR quanto a imprecisão ao representar os *fanouts* (PONTES; FRANCO; BUTZEN, 2019)



3.1.2.1 SPR-Multi Pass

Para lidar com a imprecisão do método SPR, na existência de *fanouts* reconvergentes nos circuitos, e sabendo que *fanouts* tem diferentes impactos na confiabilidade final do circuito positivas ou negativas (Pagliarini et al., 2013). As contribuições (FRANCO et al., 2008), e (Franco et al., 2008) introduziram uma nova metodologia baseada no método SPR denominada SPR-MP (do inglês: *Signal Probability Reliability Multi Pass*), essa metodologia estima a confiabilidade dos circuitos precisamente.

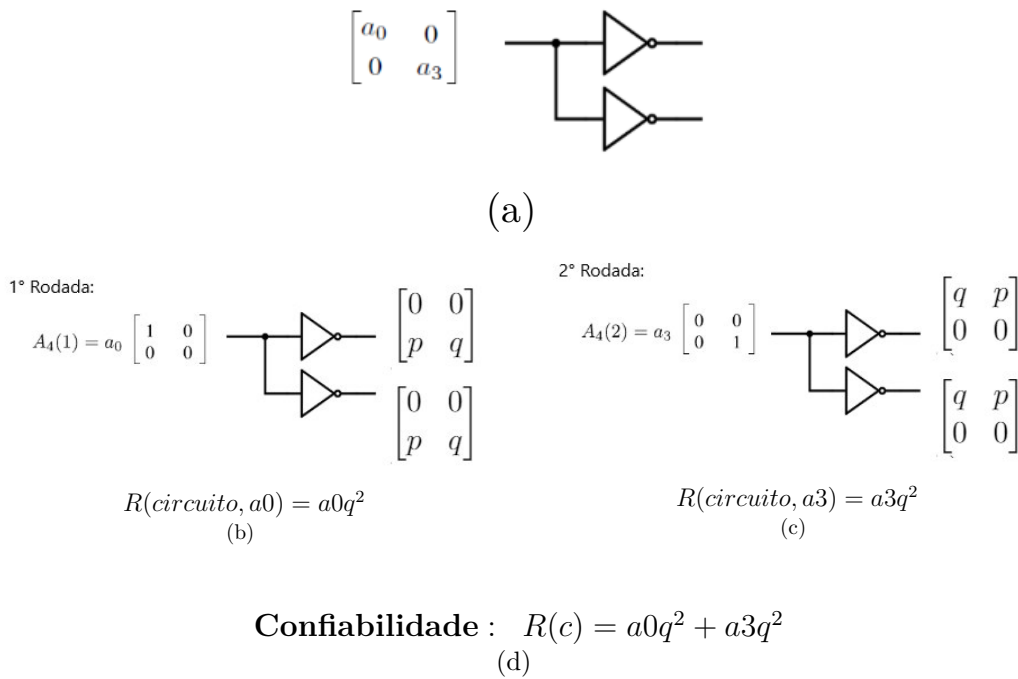
A complexidade do SPR-MP é $\mathcal{O}(4^F)$, sendo F o número de *fanouts* a serem avaliados pelo método. A Figura 20, apresenta a execução do método representando a confiabilidade do circuito para cada rodada passada. Considerando que o circuito apresentado pela Figura 20(a) tem um *fanout* de entrada do nível lógico '0', assume-se que fios de entrada não tem *fanouts*. Dessa forma, são consideradas somente duas rodadas para esse circuito no SPR-MP, caso contrário, para os demais níveis seriam 4 rodadas.

As Figuras 20(b) e 20(c) representam os estados de um *fanout*, e o somatório de todos os ciclos refletem a confiabilidade final do circuito em 20(d). Isto é, a expressão matemática final é a mesma que a obtida pelo método PTM. Sendo assim, cada estado representa um ciclo (rodada) a ser propagado por todo o circuito. Por se

tratar de um método exponencial, a complexidade pode se tornar uma penalidade em tempo de execução, visto que, para cada *fanout* presente no circuito, são necessárias quatro execuções do método.

$$R_C = \sum_{f=1}^{4^F} R_{c(f)} \quad (3)$$

Figura 20: Exemplificação do método SPR-MP: 20(a) circuito com a presença de *fanout*, 20(b) primeira rodada 'a0', 20(c) segunda rodada 'a3' de execução do SPR-MP e 20(d) Equação de confiabilidade final do circuito (Pagliarini et al., 2013)



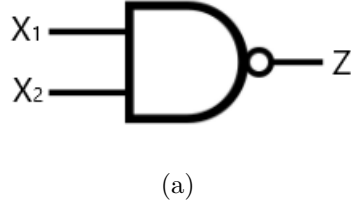
3.1.3 Modelo Probabilístico de Portas Lógicas

Pela definição, o método PGM (*Probabilistic Gate Models*) introduzido por von Neumann faz a análise de estimativa de confiabilidade assumindo que as portas lógicas possam falhar independentemente da probabilidade constante de erro ε (Jie Han; Jonker, 2002). Primeiramente, consideramos que os sinais de entradas ou saídas da porta, tem valores de probabilidade atribuídos a eles, onde as entradas têm valores distintos e não representam *fanouts* ou repetições. O método PGM baseia-se no princípio que a probabilidade do sinal de entrada ou saída tenha valor lógico '1'. A partir do sinal de saída de uma porta, correlacionam-se as probabilidades de entrada e uma taxa de erro (falha) ε , tornando possível determinar a probabilidade de saída da porta (Jie Han et al., 2005).

Para exemplificar o processo de criação da PGM de uma porta lógica. Será utilizada a porta NAND, representada pela Figura 21(a) com entradas X_1 , X_2 e saída

Figura 21: Porta lógica NAND 8(a), Tabela verdade porta lógica NAND 8(b)

Entradas		Saída	Mintermos
X_1	X_2	Z	m_i
0	0	1	m_0
0	1	1	m_1
1	0	1	m_2
1	1	0	m_3



(b)

Z , tendo a respectiva tabela verdade presente na Figura 21(b), onde são apresentados todos os mintermos para cada vetor de entrada da saída Z com valores lógicos 0 e 1. Assumindo que, a porta é livre de falhas, a saída seja 1 e pelo menos uma das entradas 0, a probabilidade de saída livre de falhas Z' é definida pelas Equações (4-6).

A função complementar Z' é obtida através do somatório dos mintermos com valores lógicos 1 em Z . Depois substituindo os mintermos e aplicando a lógica booleana e operações algébricas, representadas pelas Equações (7-9). Essas regras conseguem mapear qualquer função lógica booleana para uma Equação aritmética, a partir da probabilidade dos sinais de entrada (HAN et al., 2014).

$$Z' = m_0 + m_1 + m_2 \quad (4)$$

$$Z' = X_1'X_2' + X_1'X_2 + X_1X_2' \quad (5)$$

$$Z' = 1 - X_1X_2 \quad (6)$$

$$X' \rightarrow 1 - X \quad (7)$$

$$X_1 \wedge X_2 \rightarrow X_1X_2 \quad (8)$$

$$X_1 \vee X_2 \rightarrow X_1 + X_2 \quad (9)$$

Em caso de erro na porta, considera-se o modelo de falha de von Neumann (Jie Han; Jonker, 2002) definido pela Equação 10. Esta categoria de falha modifica a saída da porta lógica, e ela é simbolizada em forma de probabilidade de erro constante ε , onde a saída da porta tem probabilidade de ser 1. Esta Equação, é aplicável para qualquer porta ou função lógica, permitindo o cálculo da probabilidade de saída. Para a porta NAND o resultante é representada pela Equação (11). Ainda existem outros tipos de modelo de falhas denominadas permanentes, como as *stuck-at-0* (12) e as *stuck-at-1* (13). Elas são responsáveis por afetar as características originais de um circuito. A representação dessas Equações é ligeiramente

diferente as anteriores.

$$Z_v = (1 - \varepsilon)Z' + (1 - Z')\varepsilon \quad (10)$$

$$Z_{NAND} = (1 - \varepsilon) + (2\varepsilon - 1)X_1X_2 \quad (11)$$

$$Z_{sa0} = (1 - \varepsilon)Z' = (1 - \varepsilon)(1 - X_1X_2) \quad (12)$$

$$Z_{sa1} = (1 - \varepsilon)Z' + \varepsilon = 1 - (\varepsilon - 1)X_1X_2 \quad (13)$$

O procedimento usual para gerar a PGM de uma porta lógicas é o seguinte, primeiro é necessário gerar a função lógica da porta a partir da tabela verdade representada pela Figura 21(b). Por meio do somatório entre os mintermos da Equação 4, que produzem o valor lógico 1, ou 0 (complemento $1 - Z'$). Segundo, aplicam-se as regras algébricas e booleanas representado pelas Equações (7, 8, 9) para obter a probabilidade de saída Z' (6). Por ultimo, consideram-se os efeitos das falhas nas portas, através da Equação de von-Neumann que obtém a confiabilidade dos sinais de saída, a partir da soma das probabilidades com e sem a presença de falhas. A Figura 22 apresenta a relação das PGMs geradas para cada modelo de falhas descrito anteriormente, indicando a Equação para alguns tipos de portas lógicas e interconexões.

Figura 22: PGM de portas lógicas e interconexões (Jie Han et al., 2005)

	von-Neumann (Z_v)	Stuck-at-0 (Z_0)	Stuck-at-1 (Z_1)
NAND	$(1 - \varepsilon) + (2\varepsilon - 1)X_1X_2$	$(1 - X_1X_2)(1 - \varepsilon)$	$1 - (1 - \varepsilon)X_1X_2$
NOR	$1 - X_2 - X_1 + X_1X_2(1 - 2\varepsilon) + \varepsilon(2X_1 + 2X_2 - 1)$	$1 - X_2 - X_1 + X_1X_2 + \varepsilon(X_1 + X_2 - X_1X_2 - 1)$	$1 - X_2 - X_1 + X_1X_2 + \varepsilon(X_1 + X_2 - X_1X_2)$
Majority	$X_1X_2 + X_1X_3 + X_2X_3 - 2X_1X_2X_3 + \varepsilon(4X_1X_2X_3 - 2X_1X_2 - 2X_1X_3 - 2X_2X_3 + 1)$	$(1 - \varepsilon)(X_1X_2 + X_1X_3 + X_2X_3 - 2X_1X_2X_3)$	$(1 - \varepsilon)(X_1X_2 + X_1X_3 + X_2X_3 - 2X_1X_2X_3) + \varepsilon$
XOR	$X_2 + X_1 - 2X_1X_2 + \varepsilon(4X_1X_2 - 2X_2 - 2X_1 + 1)$	$X_2 + X_1 - 2X_1X_2 + \varepsilon(2X_1X_2 - X_2 - X_1)$	$X_2 + X_1 - 2X_1X_2 + \varepsilon(2X_1X_2 - X_2 - X_1 + 1)$
NOT	$1 - X - \varepsilon + 2\varepsilon X$	$1 - X - \varepsilon + \varepsilon X$	$1 - X + \varepsilon X$
Interconnect	$X + \varepsilon(1 - 2X)$	$X(1 - \varepsilon)$	$X(1 - \varepsilon) + \varepsilon$

$$X_i = Z'_i(1 - \varepsilon) + (1 - Z'_i)\varepsilon \quad (14)$$

Existem diferentes abordagens para extrair a PGM completa do circuito, a primeira introduzida por (HAN et al., 2011) como um algoritmo simples que permite estimar a confiabilidade do circuito ao extrair PGMs iterativamente, a partir da topologia do circuito ao considerar a falha de von-Neumann (Jie Han et al., 2005). É

importante ressaltar que qualquer porta pode ser modelada usando o modelo PGM. Exemplificando, o algoritmo considera uma determinada porta com índice i em um circuito com G portas $[i, i + 1, i + 2, \dots, G]$. A fórmula para obter a PGM da porta i está na Equação 14, em que Z' representa o somatório dos mintermos que produzem 1 lógico, para porta NAND Equação (6), e as entradas X_{i-1} e X_{i-2} . A saída X_i da porta i pode ser a entrada de outra porta no circuito. A partir da execução iterativa das probabilidades de entrada do circuito é obtido a sinal de saída que produz a probabilidade de saída.

A execução do algoritmo simples, começa com a divisão do circuito em m sub circuitos para cada saída, totalizando m saídas do circuito. No próximo passo, são atribuídas probabilidade aos sinais de entrada primários (no primeiro nível lógico) do circuito, assim como a taxa de falha ε de cada porta lógica. Prosseguindo, são computadas as probabilidades de saída de cada sinal, iterativamente, seguindo a respectiva PGM da porta, partindo dos sinais de entradas e aplicando a Equação(6), onde ao final da execução será obtida a confiabilidade de cada sinal de saída.

Para estimar a confiabilidade geral do circuito, visto que, cada entrada e saída são estaticamente independente, multiplica-se individualmente as confiabilidades de cada saída do circuito. Contudo, em circuitos combinacionais complexos, é maior a probabilidade dos sinais existentes serem *fanouts*. Essa correlação dos sinais, faz com que esse algoritmo simples, gere valores de confiabilidade aproximado. A complexidade deste algoritmo é $\mathcal{O}(N)$, tendo em vista que são N portas lógicas, e que cada porta calculada tem poucas entradas e saídas. Ele tem o comportamento de crescimento linear, portanto, conforme cresce o número de portas lógicas maior será o tempo computacional.

Por outro lado, o algoritmo preciso proposto por (HAN et al., 2011), tem complexidade $\mathcal{O}(N.2^F)$, sendo N o número de portas lógicas e F o número de *fanouts* dependentes no circuito lógico. Devido à correlação dos sinais, esse método produz o total de 2^F circuitos auxiliares, usados para avaliar a confiabilidade individual dos *fanouts* e realizar a disjunção dos *fanouts* reconvergentes, onde é criado um circuito semelhante com a mesma função lógica, porém acontece a substituição dos *fanouts* por fios individuais. Isso ocorre em circuitos com sinais *fanouts* reconvergentes, eles não conseguem representar a independência estática dos sinais, porque o sinal originado do *fanout* ou subsequente a ele assume a mesma probabilidade. E ao convergir em uma porta lógica, elimina a características de independência da probabilidade dos sinais. Esse algoritmo tem a característica de conforme aumenta número de *fanouts* considerados na execução do algoritmo, o tempo de execução torna-se polinomial.

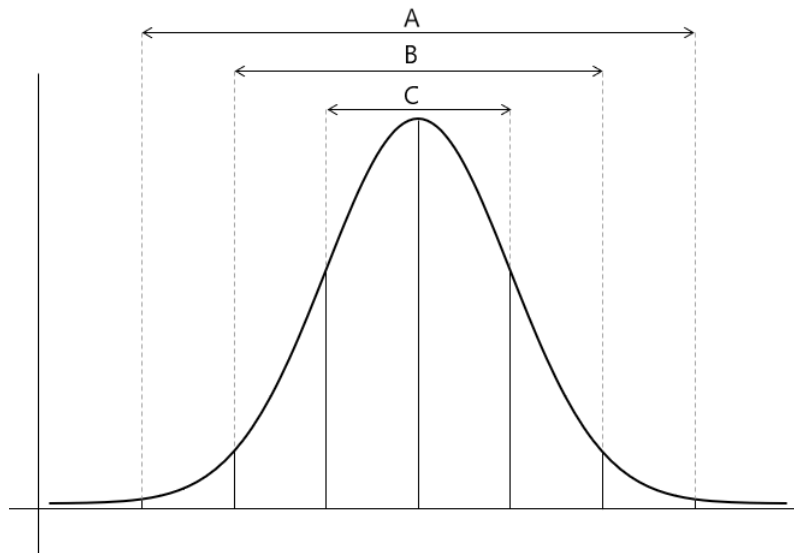
3.2 Métodos Estatísticos

Metodologias estatísticas são amplamente utilizadas na ciência, engenharia, astrofísica e indústria, para resolver problemas baseados na aleatoriedade dos eventos. Visto que análises exaustivas não são possíveis em projetos de *hardware* complexos, as abordagens estatísticas fornecem uma compensação entre precisão e tempo de execução.

Por definição Monte Carlo (MC) é um método estatístico capaz de inferir um determinado grau de confiança, baseando-se na escolha aleatória das amostras e variância em um ambiente de simulação com independência entre os dados (SMITHSON; SMITHSON, 2003). A medida que os tamanhos das amostras crescem, o tempo de simulação aumenta e consequentemente diminui o desvio padrão entre os resultados. Em outras palavras, quanto mais simulações são realizadas mais próxima da probabilidade real se torna a aritmética média dos eventos.

É importante notar que quaisquer problemas numéricos, estáticos com números aleatórios ou pseudo-aleatórios podem ser considerados um método baseado em MC (MONTE CARLO METHOD, 2008). Esse fundamento parte do teorema estatístico da lei dos grandes números (ROSS, 2010). A metodologia de MC é baseada em amostragem estatística e distribuição normal, a Figura 23 reflete a representação da distribuição normal conforme o intervalo de confiança, quanto maior, menor será a taxa de erro.

Figura 23: Distribuição normal



Nesse sentido a amostragem (N) representa o número mínimo de amostras necessárias para obter o intervalo de confiança desejado na simulação de MC. A Equação 15 apresenta as seguintes variáveis fundamentais para calcular essa amostragem: Z_c^2 representa o valor crítico extraído do intervalo de confiança estatístico,

p denota a intenção da proporção baseado na população total, e reflete a margem de erro (TUZOV; ANDRÉS; RUIZ, 2018). Por exemplo, para a simulação de MC com intervalo de confiança definido em 99% e taxa de erro de 0,05%, seria necessário pelo menos um tamanho amostral de $N = 20000$. Vale ressaltar que a utilização dessa metodologia na avaliação de confiabilidade dos circuitos só é válida quando a quantidade total de testes exaustivos é maior que a amostra. Caso contrário, a redundância entre os testes será maior que o necessário tornando a análise de confiabilidade imprecisa.

$$N = \frac{Z_c^2 \times p \times (1 - p)}{e^2} \quad (15)$$

Atualmente os chips produzidos são mais complexos e densos, dessa forma, a avaliação da confiabilidade é essencial nos estágios iniciais do projeto. Com intuito de melhorar a vida útil do sistema são utilizadas ferramentas (*frameworks*) que avaliam a confiabilidade de forma rápida e precisa (ANGLADA et al., 2018). A maioria das ferramentas que avaliam confiabilidade visam fornecer uma compensação entre tempo de execução e precisão. Atualmente essas ferramentas auxiliam projetistas de circuitos a produzirem arquiteturas mais tolerantes a falhas de radiação.

3.3 Comparativo Entre as Metodologias

Nesta seção são introduzidas informações em relação às metodologias presentes no estado da arte. A Tabela 1 apresenta a comparativo entre metodologias citadas nesse trabalho, assim como importantes características em relação à estimativa de confiabilidade de circuitos. As colunas indicam o referente nível de abstração, modelos de falhas e disponibilidade de software.

Em síntese as abordagens PTM, SPR, SPR-MP, e PGM envolvem metodologias estatísticas, sendo duas metodologias precisas e duas imprecisas na presença *fanouts*, além de nenhuma considerar os efeitos das falhas em nível de layout físico. Prosseguindo, (HUANG; WEN, 2015) e (IOANNIS PALIAROUTIS et al., 2018) apresentam uma análise baseada em MC que considera falhas SET, MET e a informação de layout físico. Seguindo nesse sentido contribuições como (ALLISON et al., 2016), (THERY et al., 2021), (KRITIKAKOU et al., 2022) apresentam abordagens de análise físicas em *frameworks* robustos, utilizados em várias aplicações tanto na indústria como na academia.

Vale ressaltar que o procedimento proposto nesse trabalho tem desempenho rápido, pois reduz o tempo de execução ao passo que impacta ligeiramente a precisão quando relacionado à amostragem de Monte Carlo. Além disso, as amostras de Monte Carlo são redimensionáveis conforme as *threads*, tornando o processo de simulação e extração da confiabilidade em circuitos nanométricos escalável para as

Tabela 1: Comparativo entre o estado da arte em confiabilidade de circuitos digitais

Referências	Nomenclatura	Nível Porta Lógica	Leiaute Físico	Modelo de Falhas			Distribuição Código Livre
				SEU	SET	MET	
(PATEL; HAYES; MARKOV, 2003)	PTM	X	-	X	X	X	X
(FRANCO et al., 2008)	SPR	X	-	X	X	X	X
(FRANCO et al., 2008)	SPR-MP	X	-	X	X	X	X
(Jie Han; Jonker, 2002)	PGM	X	-	X	X	X	X
(HUANG; WEN, 2015)	*	X	-	-	X	X	-
(IOANNIS PALIAROUTIS et al., 2018)	*	X	X	-	X	X	-
(ALLISON et al., 2016)	GEANT4	X	X	X	X	X	-
(THERY et al., 2021)	TIARA	X	X	X	X	X	-
(KRITIKAKOU et al., 2022)	FLODAM	X	X	X	X	X	-
Procedimento Proposto		X	X	-	X	X	X

mais modernas arquiteturas de processadores. O procedimento tem o código-fonte *open-source* e pode ser acessado publicamente em ([GSDE-FURG, 2022](#)).

4 PROCEDIMENTO PROPOSTO

Neste capítulo serão introduzidas as metodologias escolhidas durante esta dissertação para desenvolver o procedimento e avaliar a confiabilidade de circuitos combinacionais frente a falhas SET. Esse capítulo será estruturado da seguinte forma, primeiramente a metodologia para identificação das áreas sensíveis a partir do leiaute das portas lógicas será apresentada, seguido pelo fluxo de partículas utilizado. Prosseguindo, será discutido todo o fluxo de execução do procedimento, decisões de projeto e o cálculo de confiabilidade dos circuitos. Além disso, será demonstrado o processo de validação e teste usados, com intuito de garantir a funcionalidade da aplicação. Por fim, será apresentado o funcionamento do procedimento utilizando um estudo de caso como exemplo.

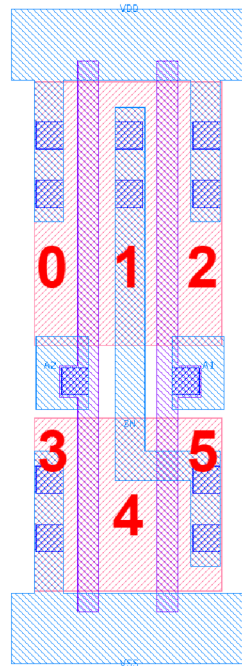
4.1 Método para Extração das Áreas Sensíveis

Essa sessão apresenta a metodologia utilizada para identificar e computar as áreas sensíveis das portas lógicas, definidas como regiões PN reversamente polarizadas. Essas áreas sensíveis, são extraídas das regiões ativas das portas lógicas presentes em leiautes. Nesse processo, foram usados os leiautes fornecidos pela biblioteca de células NANGATE ([SILVACO'S, 2020](#)), projetados na tecnologia de 45 nm em formato GDSII. Para mais detalhes sobre os todos leiautes utilizados nesse trabalho consulte o Anexo [E](#).

Com intuito de exemplificar esse processo de identificação, será utilizada a porta lógica NAND2. A Figura [24](#) apresenta o leiaute com às seis regiões ativas, assim como, a Tabela [2](#) apresenta as dimensões dessa célula em largura e comprimento, conforme cada região ativa. A área total é determinada pela multiplicação entre essas dimensões, e última coluna à direita da Tabela representa a área total em $\mu.m^2$.

O processo de extração das áreas sensíveis de uma célula funciona da seguinte forma. Primeiro são identificadas as regiões sensíveis conforme o vetor de entrada. Essas regiões são computadas e a partir da soma das respectivas áreas é determinada

Figura 24: Leiaute da Porta Lógica NAND2 (SILVACO'S, 2020)



Fonte: O autor

Tabela 2: Leiaute da Porta Lógica NAND2: Respektivas regiões ativas, dimensões e áreas totais

Região Ativa	Largura (μm)	Comprimento (μm)	Área Total (μm^2)
0	0,630	0,105	0,066
1	0,630	0,140	0,088
2	0,630	0,105	0,066
3	0,415	0,105	0,044
4	0,415	0,140	0,058
5	0,415	0,105	0,044

a área sensível do vetor. O processo é o mesmo para todos os vetores de entrada, e ao final, a área média sensível da célula é calculada ($AS_{Média}$).

Para ilustrar esse processo, será usado o vetor de entrada "01" na NAND2. Primeiro são verificados os caminhos disponíveis utilizando a lógica CMOS, examinando as redes pull-up e pull-down do leiaute. Dessa forma, as regiões 4 e 5 foram identificadas como as vulneráveis à radiação. Consequentemente, o vetor "01" será o mais susceptível à radiação, entre os demais devido a identificação de duas regiões, esse comportamento pode ser observado na Tabela 3. As regiões sensíveis são apresentadas em μm^2 , assim como a área sensível média.

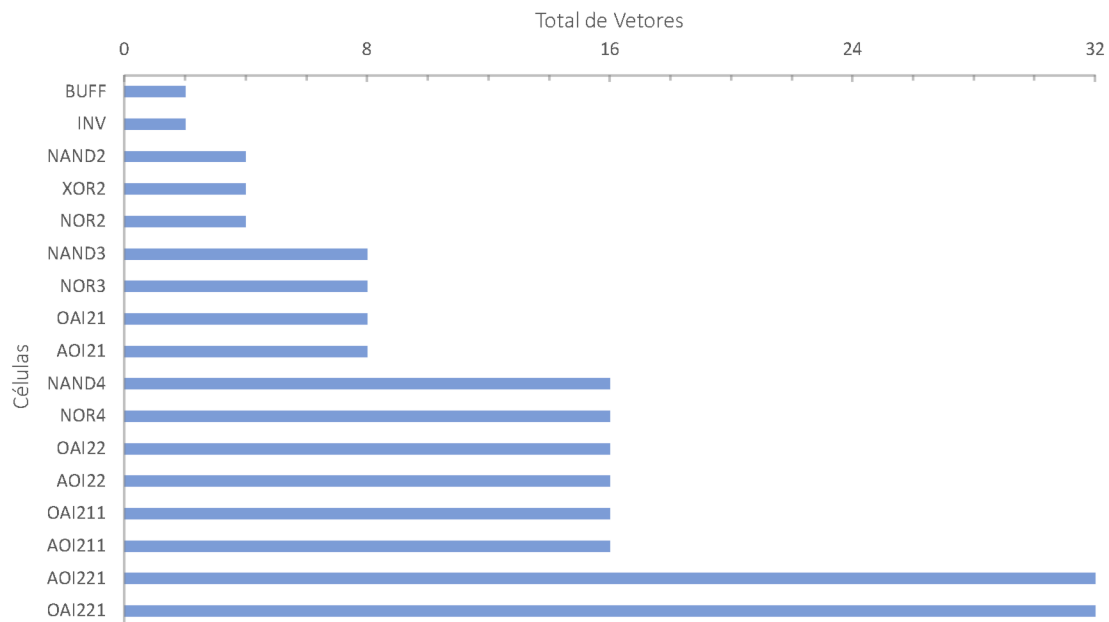
Tabela 3: Áreas Sensíveis NAND2

A	B	Regiões Sensíveis	Área Sensível ($\mu.m^2$)
0	0	Região 5	0,044
0	1	Região 4 e Região 5	0,102
1	0	Região 5	0,044
1	1	Região 1	0,088
Área Sensível Média (ASMédia)			0,069

4.1.1 *Sensitive Library*

A *Sensitive Library* representa o banco de dados que armazena as áreas sensíveis das 17 células avaliadas nesse trabalho. Em resumo, a Figura 25 ilustra todas as células utilizadas, e respectivamente o número de vetores analisados. Esse valor é definido por 2^n , sendo n o número de entradas. Por exemplo, células mais simples como BUFF, INV possuem 2 vetores 0 e 1. Prosseguindo, NAND2, XOR2 e NOR2 00, 01, 10, 11, a medida que o gráfico dirigi-se para baixo, as células mais complexas terão mais vetores, devido ao comportamento exponencial.

Figura 25: Composição das células sensitive library conforme os vetores analisados



Fonte: O autor

Dessa forma a Tabela 4, apresenta a média e desvio padrão das células analisadas. Conforme o número de transistores eleva-se em células mais complexas, aumenta diretamente a área sensível da mesma. As células mais susceptíveis á radiação são identificadas pelas maiores áreas médias, por exemplo, a XOR2, AOI211, AOI221. Em especial a porta XOR, não tem capacidade de mascaramento lógico e pode

penalizar negativamente a confiabilidade dos dispositivos.

Tabela 4: Área média total e desvio padrão das células presentes na *Sensitive Library*

Célula	Área Média Total ($\mu.m^2$)	Desvio Padrão
AOI221	0,200	0,092
INV	0,055	0,016
NAND2	0,069	0,030
NAND3	0,086	0,050
NAND4	0,092	0,058
XOR2	0,178	0,063
NOR2	0,086	0,046
NOR3	0,115	0,064
NOR4	0,141	0,085
OAI21	0,106	0,051
OAI22	0,135	0,068
AOI21	0,138	0,089
AOI22	0,148	0,100
OAI211	0,150	0,062
AOI211	0,198	0,094
OAI221	0,162	0,079

Por outro lado, o desvio padrão destaca as células com maior variação entre as áreas sensíveis conforme o vetor de entrada, identificados anteriormente. O desvio padrão representa essa disparidade entre as áreas sensíveis conforme os vetores. Em outras palavras, provavelmente existem vetores com maior ou menor vulnerabilidade à radiação. Para saber mais sobre as células analisadas, consulte o Anexo D.

Essas informações de área fornecida pelos leiautes, contribuem diretamente para a análise de suscetibilidade de falhas SET (SCHVITZ, 2020). Elas provêm detalhadamente as regiões e posições mais vulneráveis a radiação, tornando a precisão do procedimento e análise mais eficiente em nível físico. Sendo assim, elas garantem que os modelos desenvolvidos tenham precisão ao simular os efeitos gerados pelos SEEs.

4.2 Fluxo de Partículas

O fluxo de partículas é um importante parâmetro na análise de SEEs. Quando partículas cósmicas ionizantes reagem com a atmosfera originam partículas primárias e secundárias, estas tem o potencial de atingir regiões sensíveis específicas dos CIs, causando transição de sinais em dispositivos eletrônicos. Esse fluxo é geralmente determinado conforme as condições de teste, seja na altitude ou em nível do mar (NORMAND, 2004). Neste trabalho foi utilizado o fluxo de partículas ao nível do mar extraído de (SCHVITZ; BUTZEN; ROSA, 2020), esse valor de referência é

definido pela Equação 16.

$$\phi = \frac{3.6e^{-5} \text{partículas}}{\mu.m^2h} \quad (16)$$

4.3 Campanha de Injeção de Falhas

Para atingir os objetos propostos por esse trabalho foi desenvolvido um procedimento na linguagem de programação JAVA. Devido à experiência do autor com essa linguagem, e sendo que atualmente o procedimento proposto faz parte do CREST (do inglês: *Circuit Reliability Estimation Tool*) (GSDE-FURG, 2022), um framework *open-source* que provém conjunto de métodos e algoritmos capazes de estimar a confiabilidade de circuitos digitais. O compartilhamento das estruturas de dados presentes no CREST permite a comunicação entre diferentes análises.

Dessa forma, o procedimento proposto simula em nível lógico falhas de radiação atingindo regiões sensíveis aleatórias de circuitos nanométricos. Essa eficiente metodologia baseada em Monte Carlo, avalia a confiabilidade dos circuitos contra falhas transientes. Através da injeção de uma campanha de falhas SET, são analisados os efeitos gerados pela propagação das mesmas. Como resultado o procedimento fornece a confiabilidade do circuito digital, assim como, uma série de análises e informações adicionais:

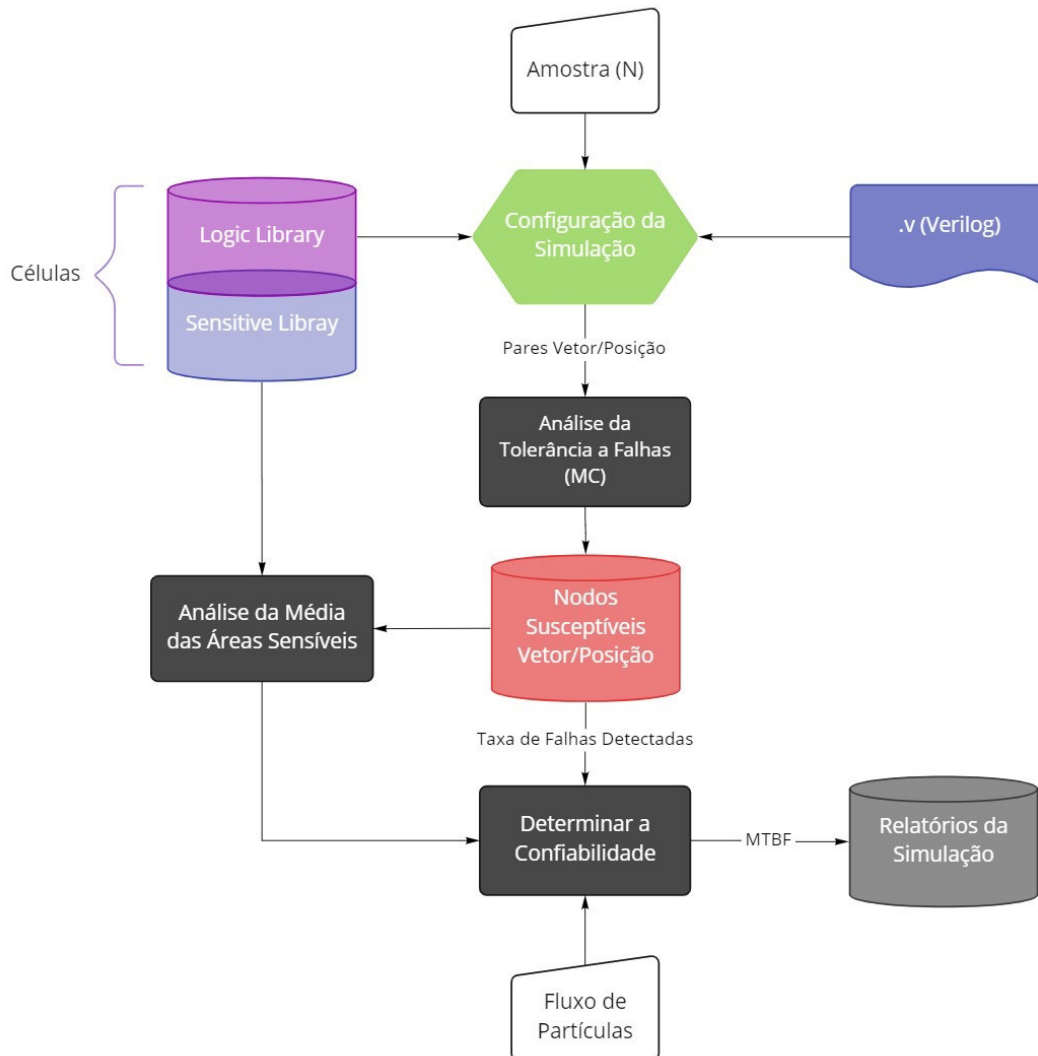
- Análise de confiabilidade
- Análise de tolerância a falhas
- Nodos sensíveis identificados conforme pares vetor/posição
- Análise da média das áreas sensíveis
- Relatórios sobre a simulação.

A Figura 26 apresenta o fluxograma de execução do procedimento, ele ilustra as análises abordadas e etapas contidas no processo de simulação. As principais contribuições são as seguintes: análise de tolerância a falhas, análise da média das áreas sensíveis e extração da confiabilidade do circuito.

4.3.1 Configuração da Simulação de Monte Carlo

O fluxo de simulação de MC acontece da seguinte forma, as entradas são: circuito descrito Verilog, a biblioteca de células (*Logic Library*) utilizada para mapear o circuito, a quantidade de falhas consideradas na análise denominada N , a *Sensitive Library* em formato (.csv), e o número de *threads*.

Figura 26: Fluxograma do procedimento



Fonte: O autor

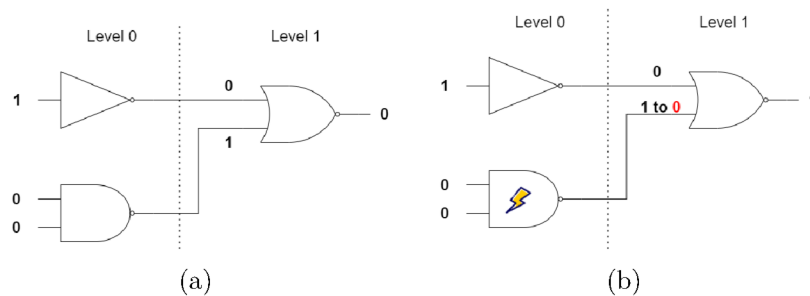
A partir das informações inseridas o procedimento mapeia o circuito, e o converte através de uma estrutura de dados do tipo grafo. Essa estrutura é responsável por realizar o mapeamento das características do circuito como portas, sinais, entradas, saídas. A estrutura de dados do algoritmo aleatoriamente gera N vetores de entrada, e para cada vetor de entrada i sorteia portas lógicas para inserção da falha SET no sinal saída, simulando o comportamento dela em forma de bitflip (1 para 0 ou vice-versa). Em caso de análise de falhas múltiplas MET, são sorteados múltiplas portas lógicas para o mesmo vetor i . Prosseguindo, o algoritmo fragmenta o conjunto de amostras (N) entre as *Threads*, os combina através da estrutura de dados e os envia ao simulador de falhas.

4.3.2 Simulador de Falhas

O simulador de falhas utiliza a simulação lógica para propagar os bits através dos níveis lógicos do circuito, partindo das entradas primárias até as saídas do circuito. Para cada vetor i são simuladas duas condições, execução livre de falha (Golden) e com injeção de falhas. Em caso de divergência entre os bits de pelo menos uma das saídas do circuito, o algoritmo identifica esse comportamento e incrementa o contador de falhas detectadas Ne .

A Figura 27 ilustra a propagação do vetor de entrada “ABC=100” em um circuito combinacional. No primeiro momento na Figura 27(a) o circuito opera livre de falhas. Por outro lado, na Figura 27(b) o circuito é atingido por uma partícula de radiação, desencadeando um pulso de distúrbio SET na porta lógica NAND. O algoritmo simula a falha SET em forma de *bitflip* de (1 para 0). Especialmente para esse exemplo, esse vetor de entrada correlacionado com a topologia do circuito permite que a falha se propague até a saída do circuito. Consequentemente, não sendo mascarada logicamente pela porta lógica NOR. Como os bits de saída do circuito diferem, livre de falha (0) e com injeção de falhas (1), é demonstrada a susceptibilidade desse circuito a radiação especificamente para esse par vetor/posição da falha.

Figura 27: Exemplo de propagação do vetor “ABC=100” e detecção da falha SET na saída do circuito: 27(a) propagação livre de falha (Golden), 27(b) após injeção de falha SET



- **Decisões de projeto:** Com o propósito de aumentar a eficiência da proposta desenvolvida e torná-la escalável, desde o início da sua concepção utilizou-se o ambiente de *multithreadings*. Essa tecnologia está presente nos processadores atuais, e pode contribuir na aceleração do procedimento para calcular a confiabilidade dos circuitos mais complexos (G. S. ALMASI, 1990), além de partir do princípio que problemas grandes e complexos possam ser divididos em problemas menores, e consequentemente, resolvidos paralelamente. Durante o processo de desenvolvimento do procedimento, foram utilizadas orientação a objetos e boas práticas de programação, também conhecidas como padrões de

projeto como: Abstract Factor, Adapter, Composite, e Template que auxiliam no desenvolvimento, manutenção, teste e documentação do software ([Gang of Four Design Patterns - Spring Framework Guru, 2019](#)), ([URMA; WARBURTON, 2019](#)).

4.3.3 Análise da Tolerância à Falhas

Resumindo, o algoritmo executa todas as N amostras presentes em cada *Threads* em paralelo, e a cada vetor i são comparadas as saídas: livre de falha e com injeção SET. Se ambos os resultados diferirem, significa que a falha se propagou através dos circuitos atingindo pelo menos uma das saídas. Neste caso, o circuito não conseguiu mascarar logicamente essa partícula de radiação (falha). Quando o algoritmo detecta esse comportamento de falha, a variável (N_e) é incrementada. Enquanto houver vetores de entrada ($i < N$), o processo continua.

Ao final da execução das falhas, o algoritmo determina a tolerância a falhas do circuito através da taxa de falhas (do inglês: *Failure Rate* - FR) apresentado na Equação 17. Essa taxa reflete a porcentagem de falhas não mascaradas logicamente pela topologia do circuito, em outras palavras remete a quantidade de falhas injetadas observadas em pelo menos uma das saídas do circuito. Quanto maior o valor de FR, menor é a tolerância a falhas do circuito em análise.

$$FR = \frac{N_e}{N} \quad (17)$$

4.3.4 Análise da Área Sensível Total do Circuito

A utilização de um conjunto de informações das áreas sensíveis conforme a porta lógica e vetor de entrada é extremamente relevante nessa etapa, pois a partir dessas informações são extraídas: as células mais susceptíveis a radiação (maiores áreas), os vetores vinculados e a área sensível total do circuito. Dessa forma, determinamos as células com menor/maior impacto na confiabilidade dos dispositivos.

Nessa etapa, o algoritmo faz a leitura da Sensitive Library e armazena em uma estrutura de dados, do tipo HashMap, as informações das áreas sensíveis das portas lógicas. Prosseguindo, o algoritmo identifica essas áreas, conforme as portas e vetores, com a finalidade de calcular a Área Sensível Média $AS_{Média}$ de cada porta. Com esse conjunto de informações compiladas, acontece a computação da área sensível total do circuito baseado na multiplicação entre a $AS_{Média}$, conforme a porta lógica vezes o número de ocorrências dela N_{Porta} . A Equação 18 representa esse processo.

$$AS_{circuito} = \sum_{n=1}^{células} AS_{Média} \times N_{Porta} \quad (18)$$

4.3.5 Determinar a Confiabilidade do circuito

Ao considerarmos a área sensível do circuito, em conjunto com um fluxo de partículas que atingirá essa região susceptível radiação, combinado a taxa de falhas detectadas, que originará um estado de *failure* no circuito, e remete a tolerância a falha do dispositivo. A finalidade do procedimento é determinar a confiabilidade do circuito, utilizando a métrica *Mean Time Between Failures* (MTBF). Essa métrica é amplamente utilizada para determinar a confiabilidade de sistemas eletrônicos, refletindo o tempo de operação entre os erros do circuito em avaliação. A combinação entre os parâmetros $AS_{circuito}$, ϕ e a FR, são fundamentais para determinar o MTBF, representado pela Equação 19.

$$MTBF = \frac{1}{\lambda} = \frac{1}{AS_{circuito} \times \phi \times FR} \quad (19)$$

4.3.6 Relatórios da Simulação

A última etapa do procedimento é gerar os registros da simulação. Essas informações são compiladas a partir dos resultados obtidos em cada *Thread*, e a finalidade dos registros é reunir os dados da simulação de Monte Carlo em duas versões a resumida, e a detalhada. A versão resumida, visa os pontos mais relevantes dos resultados como o MTBF, FR, tempo e data da simulação. Por outro lado, a versão detalhada apresenta um amplo conjunto de informações em csv, contendo as falhas detectadas, vetores de entrada, sinais onde as falhas foram injetadas (bit original e após falha), total de falhas detectadas, entre outras informações.

4.4 Validação do Procedimento

Com objetivo de assegurar que o software esteja conforme suas especificações e atenda às necessidades do projeto, nesta seção o procedimento será validado, com intuito de assegurar o funcionamento correto do algoritmo quanto a propagação dos sinais livre de falhas (Golden). Essa abordagem nos permite comparar a saída do procedimento com a tabela verdade dos circuitos, e assim segurar a qualidade da aplicação. Foram executadas simulações em circuitos *benchmarks* relativamente pequenos que continham uma variação expressiva nos tipos de portas, ao passo que tinham um número reduzido.

4.4.1 Processo de Validação

Os testes representam uma etapa de extrema importância no processo de desenvolvimento de software, eles visam validar se a aplicação está funcionando corretamente. Dessa forma, a Tabela 5 apresenta os circuitos combinacionais utilizados nesse processo. Para mais informações sobre os circuitos consulte a descrição em verilog no anexo A.

A coluna informações topológicas apresenta as características dos circuitos como as entradas (E), saídas (S), e a totalidade de portas e sinais. Da mesma forma, na coluna de Vetores está indicado o número necessário de vetores de teste para simular a Tabela Verdade, assim como, as colunas adjacentes informam para o teste exaustivo SET e MET. Respectivamente, o primeiro considera somente falhas simples, e o segundo envolve o somatório de todas as combinações possíveis de falhas simples e múltiplas.

Tabela 5: Informações sobre os circuitos *benchmarks*

Circuito	Informações Topológicas			Total de Vetores		
	E/S	Portas	Sinais	Tabela Verdade (2^E)	SET $2^E * Sinais$	MET $2^E * \sum_{p=1}^{Sinais-1} C(Sinais, p)$
Full Adder	3/2	6	9	8	72	4080
c17v3	5/2	6	11	32	352	65472
Multiplex-4bits	6/1	7	13	64	832	524160

Para realizar o teste comparativo, foram criadas duas tabelas verdades conforme utilizando os circuitos da Tabela 5, com intuito de testar o procedimento na ausência de falhas. O objetivo era inspecionar o comportamento do procedimento em alguns fatores, como a inserção dos vetores de entrada, e se o simulador lógico os propagava corretamente. Além disso, foram analisados os comportamentos das propagações em diferentes portas lógicas: AND, OR, XOR, NOR, INV, NAND, entre outras. Certificando-se que todas estavam propagando corretamente os vetores de entrada até a saída, em um ciclo completo de execução pode-se comprovar o funcionamento correto do algoritmo.

A Tabela 6, apresenta e exemplifica o comparativo feito para o c17v3 entre as tabelas verdades. Foi gerada manualmente a tabela verdade completa do circuito, posicionada à esquerda indicando todos os sinais: de entrada, intermediários e saídas. Ela demonstra os 32 vetores de entrada do c17v3, que remetem a todos os vetores de teste da tabela verdade para esse circuito. Por outro lado, a segunda tabela posicionada à direita, representa a saída do procedimento, apresentando os vetores de entradas e saída. As tabelas são comparadas linha a linha e os resultados refletem equivalência, refletindo a consistência do software. A comparação pode ser observada na última coluna à direita de cada uma das tabelas, onde ambas representam a saída do circuito livre de falhas.

Tabela 6: Comparativo entre tabela verdade e saída do procedimento para o c17v3

Vetor de entrada					Sinais Intermediários		Sinais de Saída	Saída (Concatenada)
G1gat + G2gate + G3gat + G4gat + G5gat	w1	w2	w3	w4	G6gat	G7gat	G6gat + G7gat	G6gat + G7gat
00000	1	1	1	1	0	0	00	00
00001	1	1	1	1	0	0	00	00
00010	1	1	0	1	1	1	11	11
00011	1	1	0	1	1	1	11	11
00100	1	1	1	0	0	1	01	01
00101	1	1	1	0	0	1	01	01
00110	1	1	0	0	1	1	11	11
00111	1	1	0	0	1	1	11	11
01000	1	1	1	1	0	0	00	00
01001	0	1	1	1	0	0	00	00
01010	1	1	0	1	1	1	11	11
01011	0	1	1	1	0	0	00	00
01100	1	1	1	0	0	1	01	01
01101	0	1	1	0	0	0	00	00
01110	1	1	0	0	1	1	11	11
01111	0	1	1	1	0	0	00	00
10000	1	1	1	1	0	0	00	00
10001	1	0	1	1	1	0	10	10
10010	1	1	0	1	1	1	11	11
10011	1	0	0	1	1	1	11	11
10100	1	1	1	0	0	1	01	01
10101	1	0	1	0	1	1	11	11
10110	1	1	0	0	1	1	11	11
10111	1	0	0	0	1	1	11	11
11000	1	1	1	1	0	0	00	00
11001	0	0	1	1	1	0	10	10
11010	1	1	0	1	1	1	11	11
11011	0	0	1	1	1	0	10	10
11100	1	1	1	0	0	1	01	01
11101	0	0	1	1	1	0	10	10
11110	1	1	0	0	1	1	11	11
11111	0	0	1	1	1	0	10	10

Vetor de entrada					Sinais Intermediários		Sinais de Saída	Saída (Concatenada)
G1gat + G2gate + G3gat + G4gat + G5gat	w1	w2	w3	w4	G6gat	G7gat	G6gat + G7gat	G6gat + G7gat
00000	1	1	1	1	0	0	00	00
00001	1	1	1	1	0	0	00	00
00010	1	1	0	1	1	1	11	11
00011	1	1	0	1	1	1	11	11
00100	1	1	1	0	0	1	01	01
00101	1	1	1	0	0	1	01	01
00110	1	1	0	0	1	1	11	11
00111	1	1	0	0	1	1	11	11
01000	1	1	1	1	0	0	00	00
01001	0	1	1	1	0	0	00	00
01010	1	1	0	1	1	1	11	11
01011	0	1	1	1	0	0	00	00
01100	1	1	1	0	0	1	01	01
01101	0	1	1	0	0	0	00	00
01110	1	1	0	0	1	1	11	11
01111	0	1	1	1	0	0	00	00
10000	1	1	1	1	0	0	00	00
10001	1	0	1	1	1	0	10	10
10010	1	1	0	1	1	1	11	11
10011	1	0	0	1	1	1	11	11
10100	1	1	1	0	0	1	01	01
10101	1	0	1	0	1	1	11	11
10110	1	1	0	0	1	1	11	11
10111	1	0	0	0	1	1	11	11
11000	1	1	1	1	0	0	00	00
11001	0	0	1	1	1	0	10	10
11010	1	1	0	1	1	1	11	11
11011	0	0	1	1	1	0	10	10
11100	1	1	1	0	0	1	01	01
11101	0	0	1	1	1	0	10	10
11110	1	1	0	0	1	1	11	11
11111	0	0	1	1	1	0	10	10

4.4.2 Caso de Uso

Com intuito de ilustrar a execução do procedimento será analisada a confiabilidade o circuito c17v3. As informações topológicas podem ser consultadas na Figura 28, e para mais detalhes consulte o Anexo A que conterà o diagrama lógico representado pela Figura 42(a), e a descrição do circuito em Verilog na Figura 42(b).

As entradas do procedimento são: circuito mencionado, *Logic Library* Figura 41 (Anexo B), *Sensitive Library* (Anexo D), e 8 *threads*. O fluxo de partículas ϕ foi definido pela Equação 16. Por ser uma simulação exaustiva a amostragem é definida pelo algoritmo, o cálculo é feito a partir da fórmula contida na Tabela 5.

Será simulado o teste exaustivo MET que considera todas as possibilidades de falhas, visto que o c17v3 tem um conjunto limitado de vetores $N = 65472$. No entanto, em circuitos com número maior de entradas tornam o número de vetores exponencialmente maior, tornando o teste exaustivo inviável, dessa forma utilizamos a simulação de Monte Carlo para reduzir a complexidade de teste a partir da amostragem N definida.

Por ser uma simulação exaustiva a amostragem N é definida pelo algoritmo e o cálculo é feito a partir da fórmula contida na Tabela 5. Primeiramente o algoritmo exibe as informações da estrutura do circuito Figura 28, sendo cinco sinais de entrada primários, duas saídas e totalizando onze sinais. São totalizados N ($65472 = 2^5 * 11 * C(n, p)$) vetores de entrada a serem testados. Sendo que a cada vetor i , existem combinações (únicas, pares, trios, ...) de portas lógicas com falhas. O simulador de falhas processa os todos os vetores, e enquanto $i < N$, o processo continua.

A Figura 29 ilustra os resultados obtidos indicando as informações essenciais, como as falhas detectadas, o FR acima de 96% que em outras palavras, indica que das 65472 partículas de radiação atingindo diferentes áreas do circuito, ao todo

foram identificadas 63356 falhas, somente 2116 delas foram mascaradas logicamente. A área sensível total do circuito AS_{c17v3} foi de $0,417 \mu.m^2$, e a confiabilidade obtida foi superior a $68k h/falha$. Todavia, embora o circuito tenha uma tolerância a falha extremamente reduzida, a contribuição da AS_{c17v3} relativamente pequena, torna-o mais confiável durante um longo período.

Figura 28: Informações topológicas do circuito c17V3 retiradas na execução do procedimento

```
----- Circuit Specs -----
Circuit: c17v3
- Gates : [U0, U2, U1, U4, U3, U5]
- Inputs (5) : [G1gat, G2gat, G3gat, G4gat, G5gat]
- Output (2) : [G6gat, G7gat]
- Signals (11) : [G1gat, G2gat, G3gat, G4gat, G5gat, G6gat, G7gat, w1, w2, w3, w4]
-----
```

Fonte: O autor

Figura 29: Relatório simples do circuito c17V3

```
- Simulation Started at Date/hour: 01-02-2022 13:52:27 and finished at: 13:52:29
- Circuit: c17v3
- Sample Size (N)= 65472
- Detected faults (Ne): 63356
- Failure Rate (TFD): Ne/N = (63356/65472) = 0.9676808
- Sensitive Area (u.m²): 0.417
- Reliability (MTBF) = (1 / (0.9676808 * 0.417 * (3,6*10^-5)))= 68838.164
- Performance Time(s): 2
```

Fonte: O autor

5 RESULTADOS E ANÁLISES

Neste capítulo serão apresentados os resultados obtidos a partir da execução do procedimento proposto. Com intuito de avaliar a confiabilidade dos circuitos às falhas SET, foram utilizados circuitos de teste presentes no estado da arte e as simulações executadas consideraram falhas SET únicas. Além disso, na campanha de injeção de falhas qualquer região aleatória do circuito pode ser atingida e consequentemente ocasionar falhas em nodos sensíveis dos circuitos.

São utilizadas diferentes bibliotecas lógicas para síntese lógica conforme os *benchmarks*, então, esses circuitos são usados para avaliar a complexidade do procedimento. Após, será analisada a capacidade de tolerância a falhas desses circuitos, através da campanha de injeção de falhas SET utilizando Monte Carlo e identificando quais circuitos são mais robustos à radiação.

A seguir, serão analisadas as áreas sensíveis totais conforme os circuitos, diferenciando os mais vulneráveis dos mais robustos. A confiabilidade dos circuitos será analisada, sendo o propósito explorar o impacto que a taxa de falhas detectadas, as áreas sensíveis e o fluxo de partículas quando associados exercem sobre a confiabilidade dos *benchmarks*. Os resultados demonstram a susceptibilidade às falhas SET diante à diversidade das características dos circuitos. Vale reforçar que todas as simulações desse trabalho utilizaram um computador com as seguintes configurações: Processador Intel i5 8269U @1.60 GHz (4 núcleos, 8 *threads*), memória RAM 8 GB, SSD 128 GB, e Sistema Operacional Windows 10 (x64).

5.1 Circuitos Benchmarks

As análises presentes nas próximas seções utilizam os seguintes circuitos benchmarks combinacionais ISCAS85 (BRYAN, 1985), EPFL15 (LUCA AMARU PIERRE-EMMANUEL GAILLARDON, 2022), LGSynth91 (YANG, 1991), ISCAS89 (BRGLEZ; BRYAN; KOZMINSKI, 1989). A Tabela 7 representa a quantidade total dos circuitos conforme os *benchmarks*, assim como, a síntese das bibliotecas de células utilizadas denominadas nesse trabalho como *Logic*

Library.

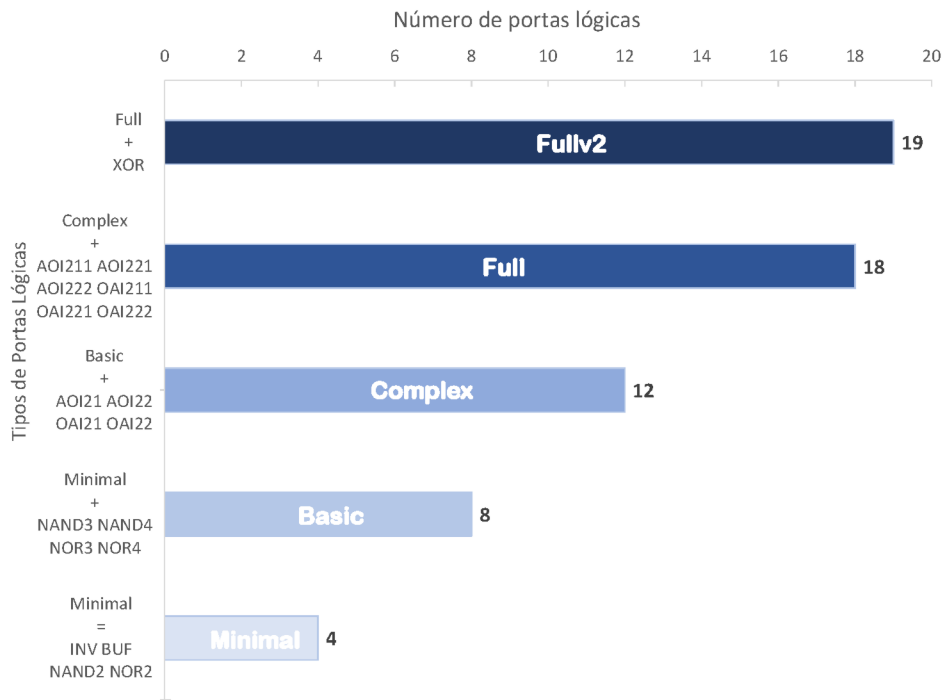
Tabela 7: Resumo dos Circuitos Benchmarks

Benchmarks (Circuitos)	Versões da Logic Library					Total de Circuitos
	Minimal	Basic	Complex	Full	Fullv2	
ISCAS85 (9)	X	X	X	X	X	45
ISCAS89 (23)	X	X	X	X	X	115
LGSynth91 (54)	X	X	X	X	X	270
EPFL15 (10)	X	X	X	X	X	50
Número total de circuitos						450

5.1.1 Versões das Bibliotecas

Foram usadas cinco *Logic Libraries* distintas, para assim gerar diferentes versões dos circuitos benchmarks, dessa forma a Figura 30 apresenta a relações entre as *logic libraries* e os tipos de portas lógicas. Seguindo essa Figura de baixo para cima, a *Logic Library* Minimal apresenta 4 portas INV, BUF, NAND2, NOR2, e cada biblioteca subsequente é baseada na anterior. Prosseguindo, a Basic é baseada na Minimal com a adição de mais quatro portas NAND3, NAND4, NOR3 e NOR4. O processo é o mesmo para Complex e Full, por último a biblioteca Fullv2 totaliza 19 portas e baseia-se na Full com adição da porta XOR. Vale destacar que a XOR é incapaz de mascarar falhas logicamente, e como resultado, pode impactar negativamente a confiabilidade dos circuitos.

Figura 30: Composição das bibliotecas a partir das portas lógicas



Fonte: O autor

Para gerar as versões dos circuitos *benchmarks* mencionados na Tabela 7, ao todo foram gerados 450 circuitos distintos, e para tal realizada a síntese lógica através da ferramenta ABC (BERKLEY, 2021). A Tabela 8 apresenta a quantidade de portas lógicas dos *benchmarks*, em síntese existe a tendência dos circuitos Minimal terem a maior quantidade de portas ao contrário das bibliotecas mais complexas como Fullv2. A coluna Redução reflete essa tendência de diminuição na quantidade de portas nas versões Minimal e Fullv2.

No *benchmark* ISCAS85 o maior circuito visto é o c6288 com 4127 portas, em seguida o circuito c499 com 680 portas na versão Minimal e 180 na Fullv2 com redução na quantidade de portas lógicas de 73,5%, apresentado em vermelho. Seguido por c1908 com 63,7% e c6288 com 62,7%, especialmente no ISCAS85 existe uma tendência de redução acima dos 45%. Prosseguindo, no conjunto de circuitos ISCAS89 o maior circuito s5378 apresenta 1712 portas. Na comparação entre Minimal e Fullv2, as reduções máximas observadas foram acima dos 50% para o s832, s208, s420 e s820. Contudo, a menor diminuição observada foi em torno de 29% para o s27.

O LGSynth91 apresenta a maior quantidade de circuitos, e abrange circuitos entre 16 e 6098 portas. As maiores reduções ocorrem em parity, i2 e i3 sendo todos acima dos 70% atingindo o pico de 85% no parity. Por outro lado, o benchmark EPFL15 apresenta os circuitos mais complexos avaliados por esse trabalho. Eles refletem uma quantidade de portas relativamente maior que os demais benchmarks avaliados, chegando a 41k portas em log2, e 36k em multiplier. As reduções obtidas foram acima dos 46% de portas em comparação com a versão Fullv2.

Todos os *benchmarks* apresentados anteriormente ilustram um comportamento de redução na quantidade de portas, assim como, ampla variedade de tamanhos que consequentemente permitem uma avaliação extensa sobre susceptibilidade à radiação de circuitos combinacionais.

Tabela 8: Quantidade de portas lógicas dos Benchmarks ISCAS85, ISCAS89, LGSynth91 e EPFL15

Benchmarks	Circuitos	Minimal	Basic	Complex	Full	Fullv2	Redução
ISCAS85	c1908	655	488	511	491	238	63,66
	c2670	1154	803	785	721	595	48,44
	c3540	1501	1119	917	850	669	55,43
	c432	373	256	249	211	196	47,45
	c499	680	571	507	489	180	73,53
	c5315	2295	1477	1482	1394	997	56,56
	c6288	4127	3767	3114	3181	1540	62,68
	c7552	3055	2196	2159	2063	1262	58,69

Continuação da Tabela 8

Benchmarks	Circuitos	Minimal	Basic	Complex	Full	Fullv2	Redução
	c880	464	318	302	277	220	52,59
ISCAS89	s1423	646	507	403	390	357	44,74
	s1488	701	557	386	354	352	49,79
	s1494	715	566	386	362	361	49,51
	s208	92	65	59	58	45	51,09
	s27	17	14	12	12	12	29,41
	s298	131	89	75	68	68	48,09
	s344	131	118	83	89	89	36,64
	s349	134	121	84	94	94	37,31
	s382	163	122	105	95	95	41,72
	s386	164	117	91	90	90	45,12
	s400	174	126	111	97	96	44,83
	s420	209	133	125	125	103	50,72
	s444	183	136	112	109	96	47,54
	s526	239	151	136	125	125	47,70
	s5378	1712	1169	1020	967	919	46,32
	s641	208	138	126	136	136	39,42
	s713	222	147	128	138	138	42,34
	s820	376	226	196	188	188	50,00
	s832	384	232	201	183	183	52,34
	s9234	2405	1862	1548	1493	1305	45,73
LGSytnh91	9symml	229	155	135	119	117	48,91
	alu2	530	405	349	312	288	45,66
	alu4	1011	749	632	552	491	51,43
	apex6	781	615	467	443	435	44,30
	apex7	287	215	180	174	173	39,72
	b9	125	103	86	79	79	36,80
	c8	181	153	109	108	107	40,88
	cc	73	52	47	43	43	41,10
	cht	231	231	115	115	115	50,22
	cm150a	115	71	47	46	46	60,00
	cm151a	62	47	31	27	27	56,45
	cm152a	24	24	17	17	17	29,17
	cm162a	59	47	35	34	24	59,32
	cm163a	55	45	31	31	22	60,00
	cm85a	54	37	34	33	26	51,85
	cmb	57	39	32	34	34	43,86
	comp	151	145	102	125	94	37,75
	cordic	106	92	82	80	55	48,11
	count	143	134	113	82	82	42,66
	cu	67	47	38	38	38	43,28
	dalu	1575	1319	1061	999	791	49,78
	des	6098	3691	3001	3034	2612	57,17

Continuação da Tabela 8

Benchmarks	Circuitos	Minimal	Basic	Complex	Full	Fullv2	Redução
	example2	348	269	227	227	213	38,79
	f51m	154	128	91	84	82	46,75
	frg1	159	128	87	77	77	51,57
	frg2	1230	800	627	588	585	52,44
	i10	3142	2075	1927	1839	1518	51,69
	i1	65	43	42	38	38	41,54
	i2	369	116	103	97	97	73,71
	i3	258	98	74	62	62	75,97
	i4	334	150	158	150	150	55,09
	i5	474	268	233	229	229	51,69
	i6	567	340	340	285	285	49,74
	i7	850	403	350	349	349	58,94
	i8	2960	1506	1106	1028	1028	65,27
	i9	834	458	432	430	430	48,44
	k2	1847	1052	1023	997	997	46,02
	lal	121	89	81	72	71	41,32
	pair	2010	1454	1150	1116	967	51,89
	parity	103	85	85	75	15	85,44
	pcle	70	65	54	54	39	44,29
	pm1	55	35	37	35	35	36,36
	rot	733	587	488	453	430	41,34
	sct	104	73	62	58	58	44,23
	t481	1467	847	668	706	706	54,46
	tcon	48	48	33	33	33	31,25
	term1	356	235	198	181	180	49,44
	ttt2	238	172	140	132	126	47,06
	unreg	132	116	66	65	65	50,76
	vda	1021	499	486	482	482	52,79
	x1	389	275	224	210	210	46,02
	x2	67	38	36	34	33	50,75
	x3	903	639	524	445	440	51,27
	x4	497	333	297	280	278	44,06
EPFL15	router	369	290	259	254	208	43,63
	i2c	1524	1184	901	884	881	42,19
	bar	3343	2311	1743	1995	1995	40,32
	max	4515	3322	2872	2559	2559	43,32
	sin	7496	5381	5526	5156	3808	49,20
	arbiter	12095	11951	6934	6447	6447	46,70
	square	23839	18434	17121	16168	12981	45,55
	voter	25526	17807	19354	18991	15075	40,94
	multiplier	36400	25300	28718	24406	13791	62,11
	log2	41317	28077	27413	25818	16694	59,60

5.2 Análise de Desempenho

Essa seção tem por objetivo comprovar a escalabilidade do procedimento. A Tabela 9 apresenta informações de E/S, total de portas, sinais e níveis lógicos dos ISCAS85 originais (BRYAN, 1985), pelas características topológicas o circuito c432 apresenta 36 entradas e 172 sinais, e pela combinação esse circuito tem o total de 68 bilhões de vetores de entrada (2^{36}), necessários para o teste simples. Em caso de teste exaustivo SET seria necessário combinar conforme o vetor de entrada, 1 dos 172 sinais falhos por vez. Seguindo a Equação 20, seriam necessárias mais de 11 Trilhões de simulações para avaliar exaustivamente o c432 em falhas exclusivas SET.

Contudo, em caso de teste exaustivo MET, ocorre a simulação de todas as combinações possíveis de falhas simples, duplas, triplas, quadruplas e assim por diante. Conforme a Equação 22, para o mesmo circuito c432 seriam necessários pelo menos 68 bilhões de vetores de entradas, multiplicados pelo somatório de combinações possíveis entre os 172 sinais, ilustrada pela Equação 21. Para avaliar múltiplas falhas MET Seriam necessários $2^{36} \times \sum_{p=1}^{172-1} C(172, p)$ simulações.

Dessa forma, realizar testes exaustivos é inviável em circuitos ligeiramente maiores, pois o número de simulações tem crescimento exponencial em relação ao número de entradas e portas lógicas. Nesse sentido, atualmente os circuitos são avaliados por simulações de Monte Carlo, que garantem um intervalo de confiança expressivo utilizando aleatoriedade nos vetores de entrada, e simulam uma amostra significativamente menor que os testes exaustivos.

$$SET_{circuito} = 2^E \times Sinais \quad (20)$$

$$C(n, p) = \frac{n!}{p!(n-p)!} \quad (21)$$

$$MET_{Circuito} = 2^E \times \sum_{p=1}^{Sinais-1} C(Sinais, p) \quad (22)$$

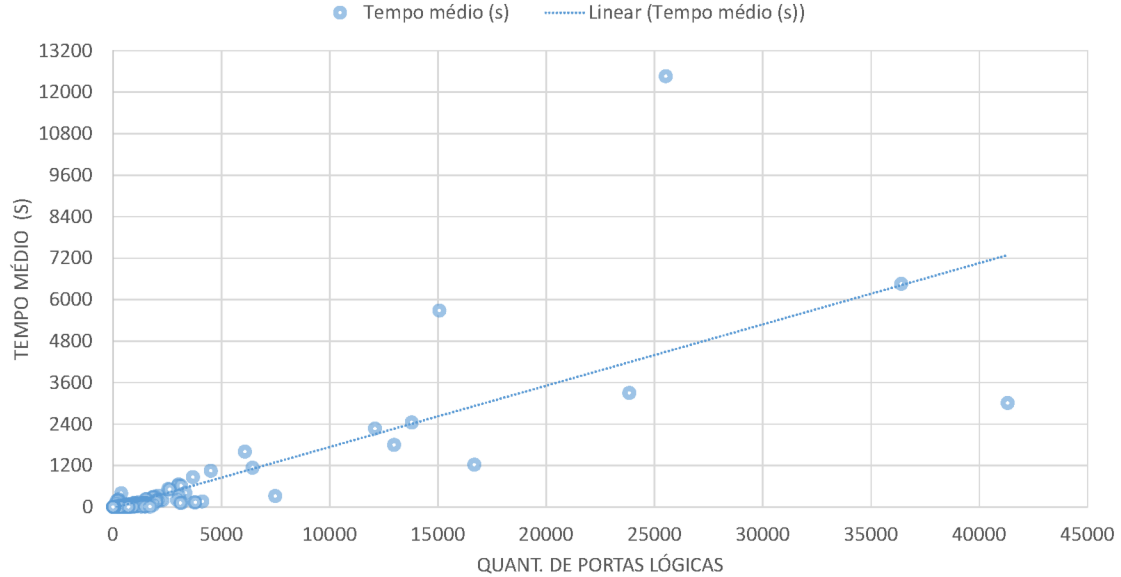
A simulação de Monte Carlo será utilizada para demonstrar que o comportamento linear do procedimento está relacionado com as portas lógicas. Para isso, foram utilizados os circuitos descritos em Verilogs presentes nos *benchmarks* citados anteriormente na Tabela 8. As simulações foram reproduzidas três vezes com intuito de mitigar os efeitos gerados pelo impacto do sistema operacional nos experimentos, assim como foram usadas 8 *threads* em execução para otimizar o tempo de simulação. A Figura 31 representa a simulação de 20K falhas SET nesses *benchmarks*, o eixo vertical a esquerda exibe o tempo médio de execução em segundos dos circuitos avaliados, e o eixo horizontal a quantidade de portas lógicas.

Essa figura reflete a complexidade linear do procedimento proposto. Os resultados indicam que circuitos com maior quantidade de portas lógicas tem maior tempo de execução. Contudo, nas simulações em circuitos com mais de 5K portas, o sistema operacional através do escalonador de processos pode impactar negativamente no tempo de execução, apresentando pontos fora da linearidade.

Tabela 9: Informações sobre o *Benchmark* ISCAS85 (BRYAN, 1985)

Circuitos	E/S	Níveis	Sinais	Portas	Amostragem total de vetores de teste	
					SET (Eq.20)	MET (Eq. 22)
c432	36/7	14	172	136	$2^{36} \times 172$	$2^{36} \times \sum_{p=1}^{172-1} C(172, p)$
c499	41/32	9	302	188	$2^{41} \times 302$	$2^{41} \times \sum_{p=1}^{302-1} C(302, p)$
c880	60/26	11	289	229	$2^{60} \times 289$	$2^{60} \times \sum_{p=1}^{289-1} C(289, p)$
c1908	33/25	14	267	234	$2^{33} \times 267$	$2^{33} \times \sum_{p=1}^{267-1} C(267, p)$
c3540	50/22	18	776	673	$2^{50} \times 776$	$2^{36} \times \sum_{p=1}^{776-1} C(776, p)$
c2670	233/139	11	723	1026	$2^{233} \times 139$	$2^{233} \times \sum_{p=1}^{139-1} C(139, p)$
c5315	178/123	18	1204	1026	$2^{178} \times 1204$	$2^{178} \times \sum_{p=1}^{1204-1} C(1204, p)$
c7552	207/108	15	1514	1151	$2^{207} \times 1514$	$2^{207} \times \sum_{p=1}^{1514-1} C(1514, p)$
c6288	32/32	45	1358	1418	$2^{32} \times 1358$	$2^{32} \times \sum_{p=1}^{1358-1} C(1358, p)$

Figura 31: Comparativo entre os tempos (s) de execução dos *benchmarks* avaliados



Fonte: O autor

5.3 Análises à Falhas SET

Nesta seção são apresentados e discutidos os resultados obtidos por meio da utilização do procedimento, onde cada subseção terá impacto na análise de confiabilidade às falhas SET. Serão analisadas respectivamente a tolerância a falhas, as áreas sensíveis totais, a penalidade causada pela susceptibilidade dos vetores, e a confiabilidade dos circuitos. Dessa forma, todas as análises abordadas por esse trabalho enriquecem a discussão sobre confiabilidade dos circuitos combinacionais.

5.3.1 Tolerância à Falhas

As simulações exaustivas são computacionalmente inviáveis devido ao crescimento exponencial no número de teste. Utilizou-se o método estatístico de Monte Carlo para reduzir significativamente a complexidade de teste dos experimentos. Foi definido o intervalo de confiança (IC) de 99% ao procedimento, isso representa uma amostra de 20.000 partículas (N) atingindo regiões aleatórias dos circuitos analisados e refletindo um erro amostral inferior a 0,009%. Sendo assim, todos os resultados obtidos nessa subseção utilizam o mesmo tamanho de amostral.

Para avaliar a robustez às falhas SET foram utilizados os circuitos *benchmarks* anteriormente apresentados com intuito de observar o impacto que as variações dos circuitos, tipos e quantidade de portas influenciam sobre essa análise. As simulações foram reproduzidas três vezes para obter a média entre os resultados e garantir uma consistência estatística à análise. Então, uma campanha de falhas SET foi injetada nesses circuitos com objetivo de detectar as falhas, e como resultado foi obtida a taxa de falhas (do inglês: *Failure Rate* - FR), esse valor reflete a tolerância dos circuitos, isto é, a susceptibilidade deles às falhas SET.

A Tabela 10 apresenta a taxa de falhas dos *benchmarks* ISCAS85, ISCAS89 e LGSynth91, conforme as *Logic Libraries* Minimal, Basic, Complex, Full e Fullv2. Para verificar o impacto da porta XOR incluída na Biblioteca Fullv2 exerce sobre a análise de tolerância a falhas, foram extraídos os desvios padrões com e sem a Fullv2, representados pela coluna Desvio Padrão (%).

Seguindo essa Tabela, se selecionarmos as nove menores taxas de falhas do ISCAS85 demonstrados em azul, em sete circuitos as bibliotecas Minimal e Basic obtiveram os melhores resultados, seguidos por uma em Complex e outra em Full. Além disso, o pior FR obtido nesta análise foi de 85,48% para o c6288 Fullv2, em vermelho. Isso significa que 17096 falhas SET foram detectadas em pelo menos uma das saídas do circuito, sendo somente 2904 delas mascaradas logicamente pela topologia desse circuito.

As maiores diferenças entre as versões foram observadas nos circuitos c499 (Basic e Fullv2) e c6288 (Full e Fullv2), ambas com picos acima dos 21%. Nesse sentido, os

Tabela 10: Taxa de falhas (FR%): Simulação de MC com 20000 (N) partículas para o *benchmark* ISCAS85

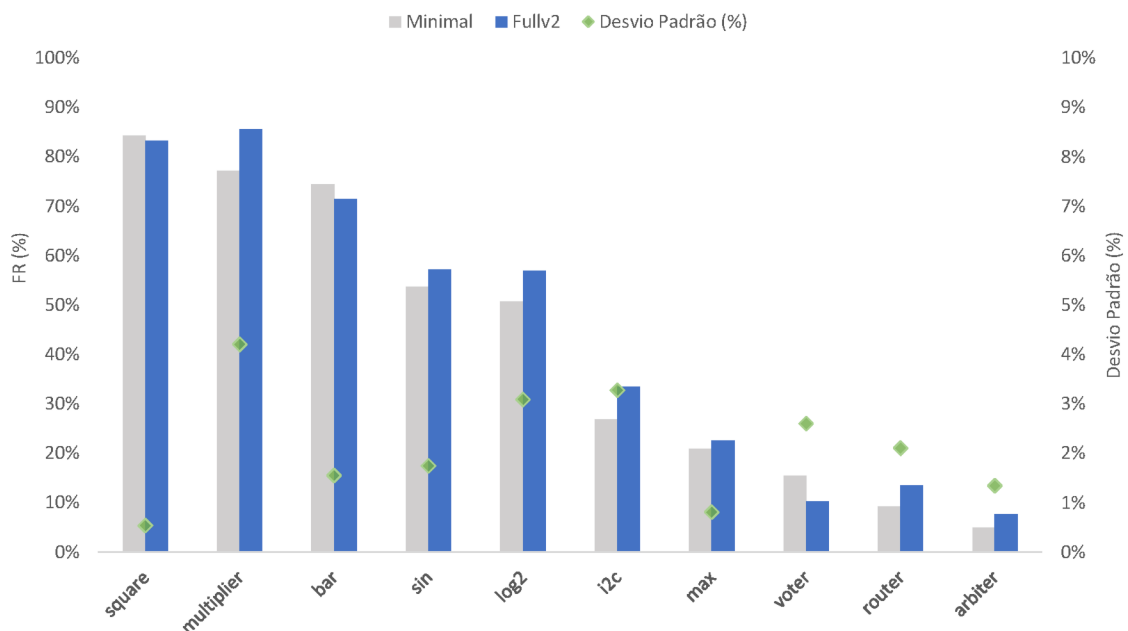
Benchmark	Circuito	FR (%)				Desvio Padrão (%)		
		Minimal	Basic	Complex	Full	Fully2	Sem XOR	Com Xor
ISCAS85	c432	21,47	20,80	21,10	22,52	21,50	0,65	0,58
	c3540	31,88	31,20	35,78	37,32	36,42	2,57	2,49
	c499	33,67	32,15	34,22	33,40	54,44	0,76	8,46
	c7552	35,32	39,94	36,25	36,26	44,48	1,77	3,41
	c5315	36,75	41,42	39,53	38,83	47,24	1,67	3,57
	c2670	42,34	49,02	48,10	49,80	54,04	2,94	3,76
	c1908	43,26	44,56	40,49	42,05	52,50	1,50	4,19
	c880	47,59	50,11	49,39	48,74	50,35	0,93	1,00
	c6288	77,86	64,92	78,86	63,86	85,48	7,00	8,43
ISCAS89	s1196	30,01	34,62	35,45	35,87	36,39	2,34	2,30
	s1238	26,69	30,98	32,81	32,57	33,42	2,45	2,44
	s1423	44,86	40,80	48,64	49,34	52,14	3,41	3,94
	s1488	21,47	23,29	24,98	25,92	25,72	1,70	1,68
	s1494	21,21	23,24	25,43	25,41	25,64	1,75	1,73
	s208	48,55	55,35	54,73	55,46	59,85	2,89	3,61
	s27	47,85	51,65	52,18	53,15	53,29	2,01	1,98
	s298	51,24	56,10	59,53	61,79	61,81	3,98	4,01
	s344	57,55	56,34	66,32	62,91	63,35	4,04	3,76
	s349	57,40	55,56	64,27	60,57	60,32	3,31	2,98
	s382	51,26	51,37	55,91	60,15	59,54	3,68	3,82
	s386	20,16	24,45	24,53	24,62	24,57	1,89	1,75
	s400	50,44	49,67	53,50	58,19	58,64	3,35	3,76
	s420	42,62	52,39	50,80	51,10	52,42	3,86	3,68
	s444	47,37	51,54	50,73	50,38	54,62	1,58	2,32
	s526	44,58	48,67	48,79	51,09	51,31	2,35	2,42
	s5378	51,05	57,00	55,97	57,07	57,74	2,48	2,42
	s641	51,47	57,17	54,60	53,70	53,74	2,04	1,83
	s713	50,88	56,82	55,33	52,85	52,76	2,28	2,10
	s820	22,32	25,92	27,72	27,82	27,63	2,23	2,10
	s832	21,99	25,18	26,74	28,01	28,17	2,25	2,28
LGSynth91	s9234	41,71	43,90	47,31	47,34	51,08	2,39	3,22
	9symml	7,64	9,26	8,68	8,87	8,83	0,60	0,54
	ahu2	15,75	16,13	16,47	17,90	17,21	0,81	0,77
	ahu4	15,65	16,17	16,39	16,45	18,22	0,32	0,87
	apex6	44,53	48,98	43,70	44,89	45,76	2,04	1,83
	apex7	50,35	55,55	55,27	53,63	53,62	2,07	1,85
	b9	42,54	43,15	45,18	43,65	43,84	0,98	0,88
	c8	46,34	52,04	54,08	54,10	53,08	3,17	2,90
	cc	50,78	58,90	59,74	61,69	61,69	4,16	4,04
	cht	44,20	44,16	51,31	51,67	51,27	3,65	3,55
	cm150a	7,46	9,04	11,14	11,13	10,69	1,55	1,44
	cm151a	17,67	15,90	19,25	20,47	20,36	1,72	1,74
	cm152a	31,64	31,98	30,21	30,37	30,12	0,77	0,79
	cm162a	38,59	37,87	35,37	39,71	42,45	1,59	2,32
	cm163a	33,46	36,66	38,78	38,84	39,54	2,19	2,22
	cm85a	30,36	30,55	31,57	29,60	35,46	0,70	2,07
	cmb	7,26	7,46	9,02	10,07	10,09	1,16	1,22
	comp	7,81	8,97	7,87	8,67	9,25	0,50	0,58
	cordic	10,01	10,18	8,93	8,15	11,56	0,83	1,16
	count	37,18	37,74	39,09	35,06	35,13	1,45	1,55
	cu	27,18	31,65	35,57	34,73	34,94	3,29	3,13
	dalu	14,77	15,79	12,79	13,64	14,29	1,14	1,02
	des	46,30	60,14	59,05	58,10	60,13	5,59	5,28
	example2	45,40	48,80	49,09	50,76	53,65	1,95	2,69
	f51m	39,90	40,56	46,89	46,82	45,35	3,32	3,06
	frg1	8,81	9,79	10,22	11,25	11,03	0,88	0,88
	frg2	34,28	36,39	41,24	40,01	39,39	2,78	2,55
	i1	43,61	50,51	49,86	52,43	52,43	3,31	3,25
	i10	37,88	42,10	39,87	40,00	44,82	1,49	2,36
	i2	0,46	0,50	0,64	0,51	0,58	0,07	0,07
	i3	3,81	5,65	6,04	6,48	6,35	1,02	0,97
	i4	12,05	13,05	13,27	13,26	13,48	0,50	0,50
	i5	50,11	57,28	60,43	60,93	60,76	4,32	4,12
	i6	52,72	54,32	54,37	55,43	54,95	0,97	0,91
	i7	44,83	52,16	54,94	53,06	53,78	3,84	3,58
	i8	39,60	45,17	48,16	47,97	48,27	3,46	3,32
	i9	61,68	65,82	67,52	64,98	65,12	2,12	1,90
	k2	60,69	62,79	62,23	62,84	62,53	0,87	0,79
	lal	34,06	35,65	38,64	39,20	39,29	2,12	2,12
	pair	30,68	31,26	35,73	35,49	37,64	2,33	2,72
	parity	51,99	57,75	57,62	52,25	100,00	2,78	18,21
	pcl	37,96	38,56	44,58	44,99	46,50	3,28	3,54
	pm1	43,84	50,01	50,52	51,14	51,10	2,93	2,77
	rot	48,28	50,24	52,97	54,21	54,41	2,31	2,39
	sct	40,60	43,92	45,22	49,02	49,11	3,02	3,22
	t481	26,06	28,90	23,46	25,41	25,20	1,95	1,77
	tcon	67,59	68,17	81,79	81,66	81,52	6,93	6,75
	term1	10,68	11,88	12,86	13,98	13,60	1,22	1,20
	ttt2	36,09	39,36	40,40	40,61	41,90	1,81	1,96
	unreg	51,20	48,82	45,10	44,50	44,72	2,74	2,68
	vda	61,86	69,77	68,18	67,94	67,93	3,02	2,73
	x1	28,53	31,46	34,92	35,85	35,95	2,91	2,91
	x2	40,61	44,23	43,41	43,24	42,62	1,36	1,22
	x3	38,81	36,53	43,50	43,23	43,41	2,96	2,89
	x4	43,95	51,41	49,18	49,28	49,77	2,75	2,51

desvios padrões indicam que a porta XOR impacta negativamente o FR da versão Fullv2, chegando até 8% nos circuitos c499 e c6288. Embora a porta XOR penalize a taxa de falhas, os desvios padrões são relativamente baixos e os resultados refletem a baixa variação entre as versões.

Os ISCAS89 apresentaram resultados interessantes, os circuitos s344, s349, s298 e s382 obterão FRs acima dos 60% refletindo a propagação de pelo menos 12k falhas. Em contraponto, os circuitos mais robustos foram s1488, s1494 e s386 todos obtendo resultados abaixo dos 25% de FR. Além disso, esse *benchmark* indica que circuitos Minimal apresentam melhores resultados que os Fullv2, isto é, circuitos com o número menor de portas apresentam pior tolerância às falhas. Da mesma forma, o impacto da porta XOR foi muito pequeno, não atingindo 1% de diferença em relação ao desvio padrão.

No LGsynth91 os resultados demonstram a tendência que circuitos maiores (Minimals) têm menos FR que circuitos relativamente menores (Fullv2). Esse comportamento foi observado em 49 dos 54 circuitos, e os piores FRs foram em parity, tcon, vda e i9 todos acima dos 65% representando pelo menos 13k falhas SET detectadas nas saídas. Contudo, os melhores resultados observados foram em i2, i3, comp e 9symml todos abaixo dos 10% de FR. Esses resultados evidenciam que a diferença conforme as versões é relativamente pequena quando considerado o máximo menos o mínimo, com exceção do pior cenário visto no circuito parity com 48%, os demais circuitos ficaram todos abaixo dos 14%.

Figura 32: Taxa de falhas (%) EPFL15



Fonte: O autor

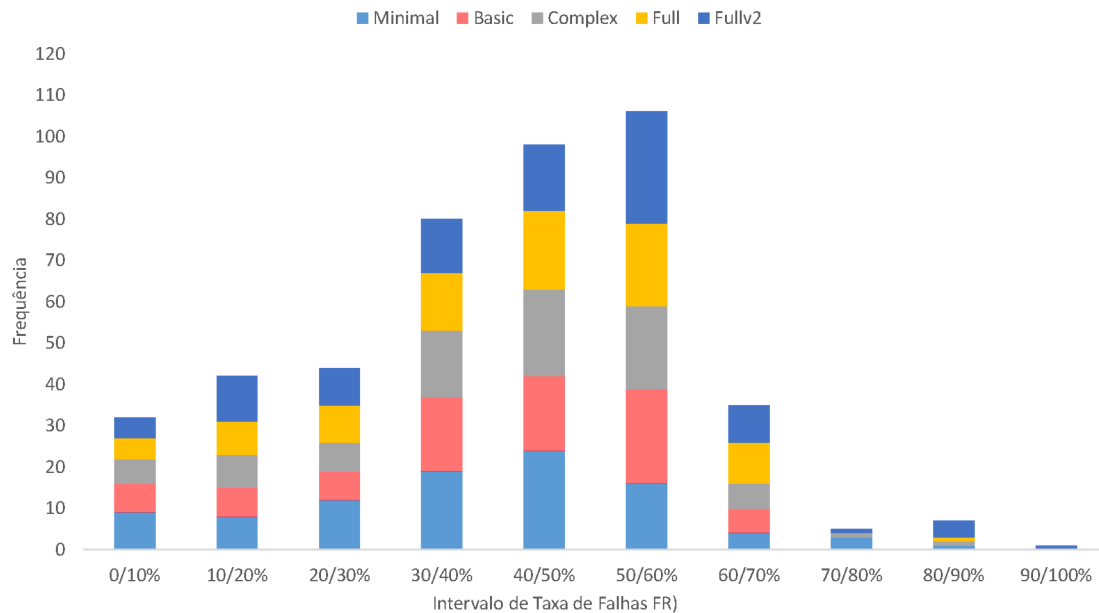
A Figura 32 apresenta os resultados obtidos para o *benchmark* EPFL15, esse

conjunto de circuitos apresenta a maior quantidade de portas entre os demais avaliados. Com a intenção de avaliar o impacto da tolerância a falhas foram exploradas as versões Minimal e Fullv2. O gráfico está organizado da seguinte forma, no eixo vertical à esquerda está o FR (%) e à direita o desvio padrão (%).

Os principais picos de tolerância a falhas do EPFL15 são vistos em max, router, voter, arbiter, todos abaixo dos 30%. Entre esses quatro circuitos existe uma tendência de pequena diferença entre as versões. Contudo, os circuitos bar, square e multiplier foram os mais susceptíveis às falhas obtendo o valor de FR acima de 70% independente da versão. O maior desvio padrão foi obtido pelo multiplier, em síntese 7 dos 10 circuitos a versão Minimal obteve os piores resultados chegando ao desvio máximo de 4,2%.

A Figura 33 apresenta a comparação entre as versões conforme a frequência de ocorrência, o intuito dessa Figura é identificar quais faixas de falhas foram mais observadas entre os *benchmarks* explorados neste trabalho. Esse gráfico ilustra que as faixas entre 40%~60% totalizam 204 ocorrências, a partir de 60/70% aparecem 35 circuitos, e acima de 80% foram observados 13 representando baixa capacidade de mascaramento de falhas. Os circuitos mais tolerantes estão entre 0%~20% e totalizam 74 circuitos divididos entre as bibliotecas.

Figura 33: Frequência conforme intervalo de Failure Rate para os todos *benchmarks*: Comparativo Minimal x Fullv2

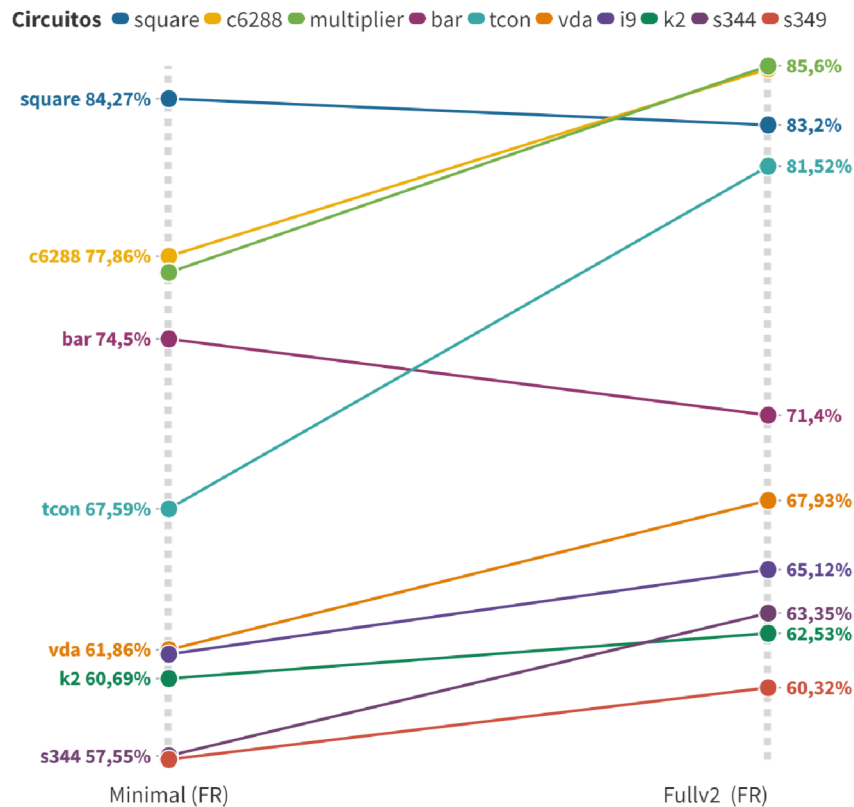


Fonte: O autor

A Figura 34 apresenta a comparação entre as 10 piores taxas de falhas encontradas em todos os *benchmarks*, o objetivo deste gráfico é apresentar os piores resultados obtidos e demonstrar os circuitos mais susceptíveis as falhas. A relação entre a ro-

bustez dos circuitos mais simples (Minimal) aos mais complexos (Fullv2) é refletida em 8 dos 10 circuitos, onde as versões Minimal apresentam as menores taxas de falhas em comparação com as Fullv2.

Figura 34: Top dez piores FR (%), comparação dos resultados em Minimal, Fullv2 e portas lógicas em %



Fonte: O autor

Portanto, o FR apresentou ser uma métrica imprecisa na análise de tolerância a falhas, pois desconsidera a informação de área sensível total do circuito, essencial na análise de susceptibilidade a radiação. Visto que circuitos com mais portas lógicas (Minimal), deveriam apresentar os piores resultados de tolerância a falhas. Contudo, os resultados indicam que as versões Fullv2 apresentaram os piores resultados de FR.

5.3.2 Análise das Áreas Sensíveis

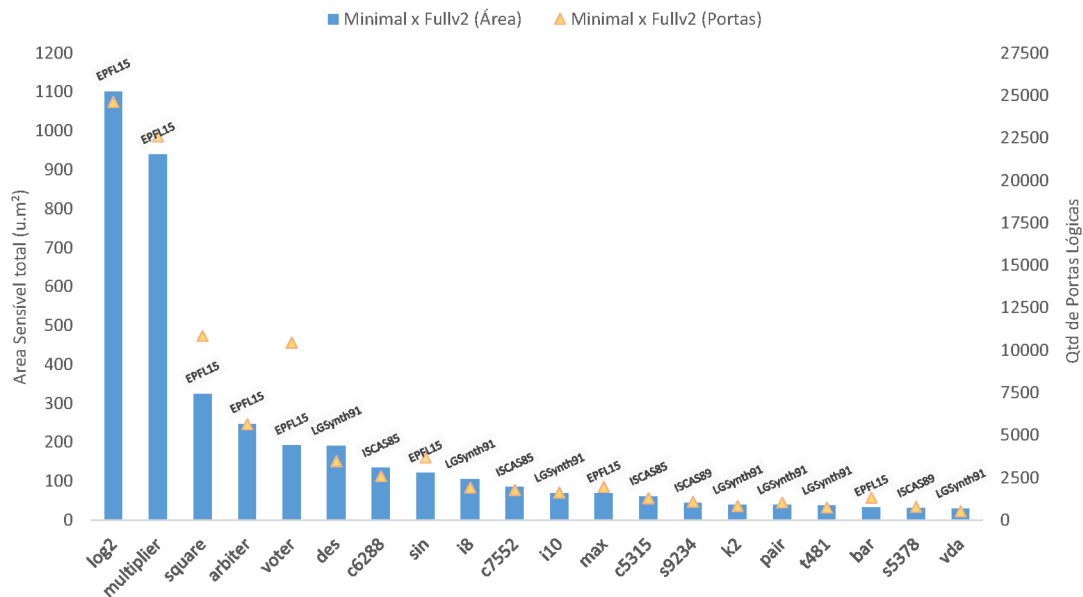
Visto que a métrica de taxa de falhas não é precisa, pois desconsidera a informação da área dos circuitos na análise, por isso nessa subseção introduzimos a área sensível total dos circuitos *benchmarks*. A informação de área têm impacto direto na precisão de métricas que avaliam a confiabilidade a falhas causadas por radiação, pois considera as regiões sensíveis inversamente polarizadas extraídas a partir do leiautes físico das células.

Para obter as áreas totais dos circuitos foi utilizada a metodologia presente na

subseção 4.3.4. Como resultado a Tabela 16 apresenta a área total em $\mu.m^2$ de cada circuito que está disponível no Apêndice Resultados F. A partir dessa Tabela demonstramos a área sensível total identificando quais circuitos são mais susceptíveis as falhas SET, isto é, os que possuem maior área sensível.

Dessa forma, a Figura 35 apresenta os 20 maiores circuitos identificados entre os *benchmarks*. Esse gráfico representa a diferença entre as áreas e portas observadas em relação a Minimal e Fullv2. A área está representada no vertical a direita, e a quantidade de portas no eixo à esquerda. Sendo assim, 8 dos 20 circuitos pertencem ao EPFL15 e alcançaram as maiores reduções para log2 e multiplier acima de 900 $\mu.m^2$. Prosseguindo, as menores diferenças ocorreram em s5378 ISCAS89 e vda LGSynth91, ambos abaixo dos 35 $\mu.m^2$. Resumindo, a redução na quantidade de portas está correlacionada a área e esse comportamento pode ser observado no gráfico.

Figura 35: Área total ($\mu.m^2$) dos 20 maiores circuitos entre os *benchmarks*



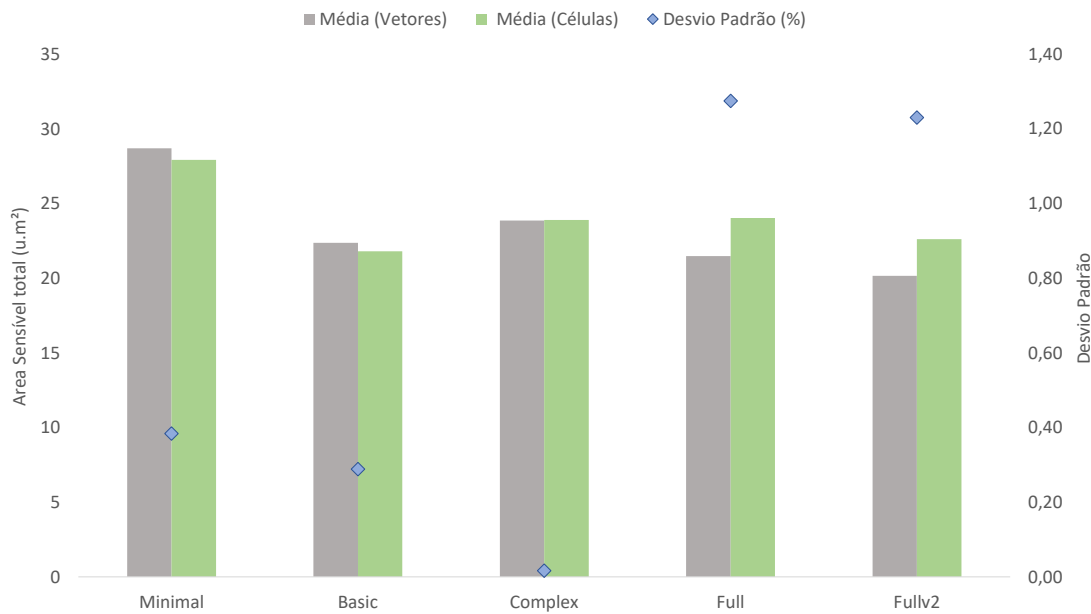
Fonte: O autor

5.3.3 Susceptibilidade dos Vetores

Como visto na subseção 4.3.4 o procedimento utiliza a área média das células providas pelos leiautes das células para definir a área sensível total dos *benchmarks*. Contudo, ao utilizarmos a área sensível total baseada na propagação dos 20k vetores, isto é, as áreas sensíveis computadas conforme os vetores, exploramos a susceptibilidade específica visto que existem vetores com áreas sensíveis maiores que outros. Nesse sentido, será utilizado o circuito c432 para representar a comparação dela com a atual metodologia utilizada pelo procedimento.

A Figura 36 representa as áreas do c432 em relação às bibliotecas conforme as áreas obtidas pelas abordagens. A diferença entre elas é representada pelo desvio padrão posicionado no eixo vertical à direita. Os resultados indicam que a diferença entre as abordagens é relativamente pequena, chegando a $2,55 \mu.m^2$ na versão Full. Isso reflete que a abordagem média das células pode ser utilizada, pois, o impacto no cálculo da área sensível total do c432 é relativamente pequena, chegando perto de 12% em relação à abordagem utilizando a área média dos vetores.

Figura 36: Comparativo entre abordagem das áreas: Média x Vetores circuito c432



Fonte: O autor

5.3.4 Confiabilidade

Foi visto anteriormente na subseção 5.3.1 que considerar apenas topologia do circuito como métrica de confiabilidade não proporciona uma análise realista, principalmente quando se trata de falhas de radiação. Contudo, ao considerar as áreas sensíveis das portas lógicas extraídas dos leiautes torna a análise mais coerente, pois contribui diretamente na precisão da análise de suscetibilidade de falhas SET em nível físico (SCHVITZ, 2020).

Ao incluir na análise as áreas sensíveis das portas lógicas extraídas dos leiautes, o fluxo de partículas que atingirá essa região susceptível às partículas de radiação, aliado com a taxa de falhas que originará um estado de *failure* no circuito torna-se possível determinar a confiabilidade dos *benchmarks*. A confiabilidade é definida pela métrica MTBF (*Mean Time Between Failures*) e representada pela Equação 19. Essa métrica é utilizada para estimar a confiabilidade de sistemas eletrônicos visto que reflete o tempo de operação entre os erros.

Para determinar a confiabilidade dos circuitos foi utilizado um fluxo de partículas (ϕ) citado anteriormente na Equação 16. Esse fluxo incidirá sobre a área sensível total dos circuitos (citada na Tabela 16) em conjunto com as informações das taxas de falhas é definida a confiabilidade dos circuitos.

A Tabela 11 apresenta a compilação dos 25 melhores e piores MTBFs observados entre os *benchmarks*. Essa tabela apresenta a divisão dos 25 circuitos mais confiáveis entre os todos avaliados, assim como as análises em relação aos MTBFs máximos, mínimos e médios. O objetivo desta Tabela é demonstrar os circuitos mais confiáveis entre todos avaliados. A coluna aumento (%) expressa a comparação entre os MTBFs das versões Minimal e Fullv2 com intuito de observar o impacto da confiabilidade em circuitos com mais e menos área. Prosseguindo, a última coluna à direita na Tabela apresenta o Desvio Padrão entre as versões Minimal, Basic, Complex, Full e Fullv2.

Tabela 11: Compilação dos 25 melhores MTBFs observado entre os *benchmarks* avaliados

Benchmark	Circuito	MTBF (h/falha)								Aumento (%) Minimal x Fullv2	Desvio Padrão (h/falha)
		Minimal	Basic	Complex	Full	Fullv2	Mínimo	Média	Máximo		
LGSynth91	i2	241.338	449.057	375.505	464.687	410.097	241.338	388.137	464.687	69,93	79.703
LGSynth91	cmb	92.640	120.098	106.462	92.698	92.514	92.514	100.882	120.098	-0,14	11.003
LGSynth91	i3	44.600	54.524	61.520	62.977	64.250	44.600	57.574	64.250	44,06	7.307
LGSynth91	cm152a	54.040	53.463	60.616	60.300	60.787	53.463	57.841	60.787	12,48	3.348
LGSynth91	cm150a	44.816	56.309	52.979	55.079	57.381	44.816	53.313	57.381	28,04	4.494
LGSynth91	cm151a	35.012	46.698	46.614	54.240	54.538	35.012	47.420	54.538	55,77	7.104
ISCAS89	s27	46.781	49.336	46.853	44.535	44.418	44.418	46.385	49.336	-5,05	1.810
LGSynth91	cordic	35.497	38.459	44.195	45.658	38.477	35.497	40.457	45.658	8,40	3.835
LGSynth91	comp	33.750	27.679	42.173	30.252	30.464	27.679	32.864	42.173	-9,74	5.038
LGSynth91	cm85a	23.296	29.009	32.528	32.245	29.388	23.296	29.293	32.528	26,15	3.324
LGSynth91	frgl	27.097	29.685	32.053	30.281	30.899	27.097	30.003	32.053	14,03	1.651
LGSynth91	cm163a	19.950	19.476	24.596	22.806	29.237	19.476	23.213	29.237	46,55	3.549
LGSynth91	cm162a	16.251	17.768	25.671	20.288	25.020	16.251	21.000	25.671	53,97	3.781
LGSynth91	9symml	21.039	20.049	23.338	23.223	23.191	20.049	22.168	23.338	10,23	1.363
LGSynth91	cu	20.435	22.040	22.221	21.559	21.430	20.435	21.537	22.221	4,87	624
LGSynth91	x2	14.099	20.674	19.855	19.993	20.286	14.099	18.981	20.674	43,88	2.457
LGSynth91	pm1	16.110	18.825	18.054	16.958	16.970	16.110	17.383	18.825	5,34	949
LGSynth91	i4	9.716	17.651	16.015	16.669	16.387	9.716	15.288	17.651	68,66	2.838
LGSynth91	i1	13.921	16.393	17.002	17.639	17.638	13.921	16.518	17.639	26,70	1.379
LGSynth91	pcl	15.039	14.885	13.424	13.301	15.354	13.301	14.400	15.354	2,09	862
LGSynth91	tcon	12.364	12.259	12.706	12.726	12.748	12.259	12.561	12.748	3,10	206
EPFL15	router	12.271	-	-	-	10.063	10.063	11.167	12.271	-18,00	1.104
ISCAS89	s386	11.142	11.122	12.108	12.158	12.185	11.122	11.743	12.185	9,36	499
LGSynth91	term1	9.847	11.036	9.796	10.157	9.796	10.157	10.353	11.036	3,15	530
LGSynth91	lal	9.123	10.993	9.585	9.729	9.724	9.123	9.831	10.993	6,59	622

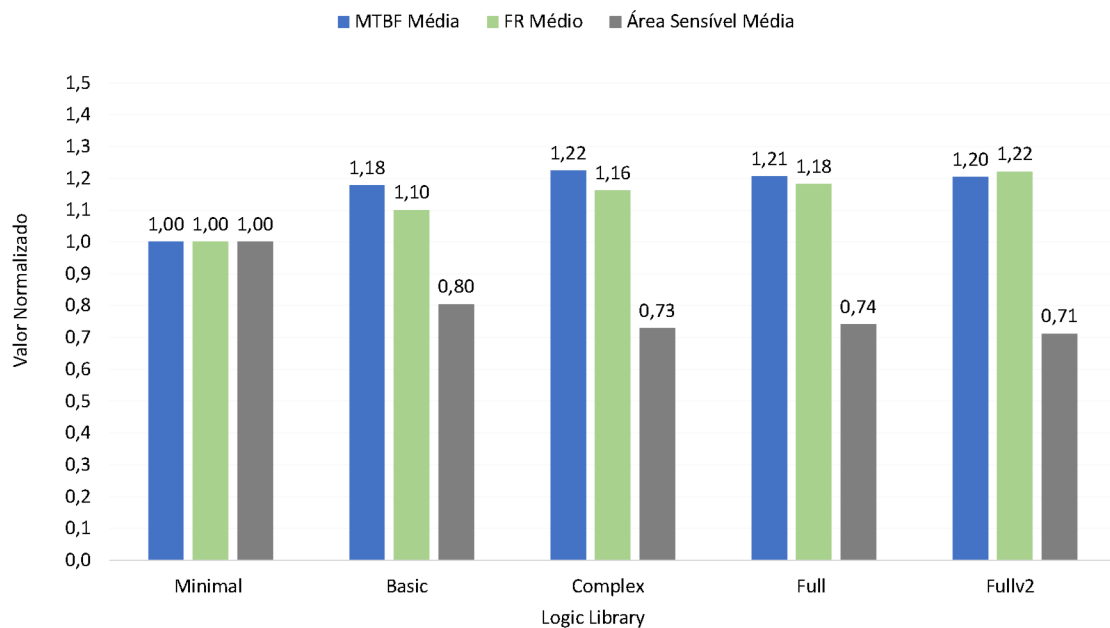
Nesta Tabela são identificadas as respectivas ocorrências dos benchmarks, representadas por 1 EFPL, 2 ISCAS89 e 22 LGSynth91. O circuito mais confiável foi i2 Full obtendo o MTBF de 464.687 horas/falha, seguido por cmb Basic acima dos 120k, e i3 com cerca de 64k. Na faixa entre 60k e 40k estão os circuitos cm152a, cm150a, cm151a, s27, cordic, e comp. Para os demais circuitos a confiabilidade está na faixa entre 33k e 10k, e o menor resultado obtido foi para o circuito lal com MTBF de 10.993.

Em relação à comparação Minimal e Fullv2, os melhores resultados foram observados em i2 com 62% de aumento na confiabilidade, seguido por i4 com 68,93%, aumentando o MTBF. Ambos representam resultados significantes em relação à

versão Fullv2, que se mostrou ser mais confiável que a Minimal. Contudo, em alguns casos a versão Minimal obteve melhores resultados que a Fullv2, isso ocorreu em router, comp, s386, e 9symml sendo todos abaixo dos 18%.

Para demonstrar o impacto dos fatores FR e área sensível na confiabilidade dos 25 circuitos mais confiáveis, a Figura 37 ilustra a relação dos fatores conforme o aumento na complexidade das *Logic Libraries*, os resultados refletem a média sendo normalizados em relação à biblioteca Minimal. Nesse sentido, quanto maior a confiabilidade da biblioteca em questão, menor será o FR e a área sensível. Os resultados indicam que, conforme a área sensível diminui a confiabilidade aumenta ao passo que a FR é ligeiramente penalizado. O impacto da XOR na confiabilidade do Fullv2 atingiu 20% em relação ao Minimal indicando aumento na confiabilidade dos circuitos.

Figura 37: Comparativo dos resultados médios normalizados do MTBF, FR e Área Sensível

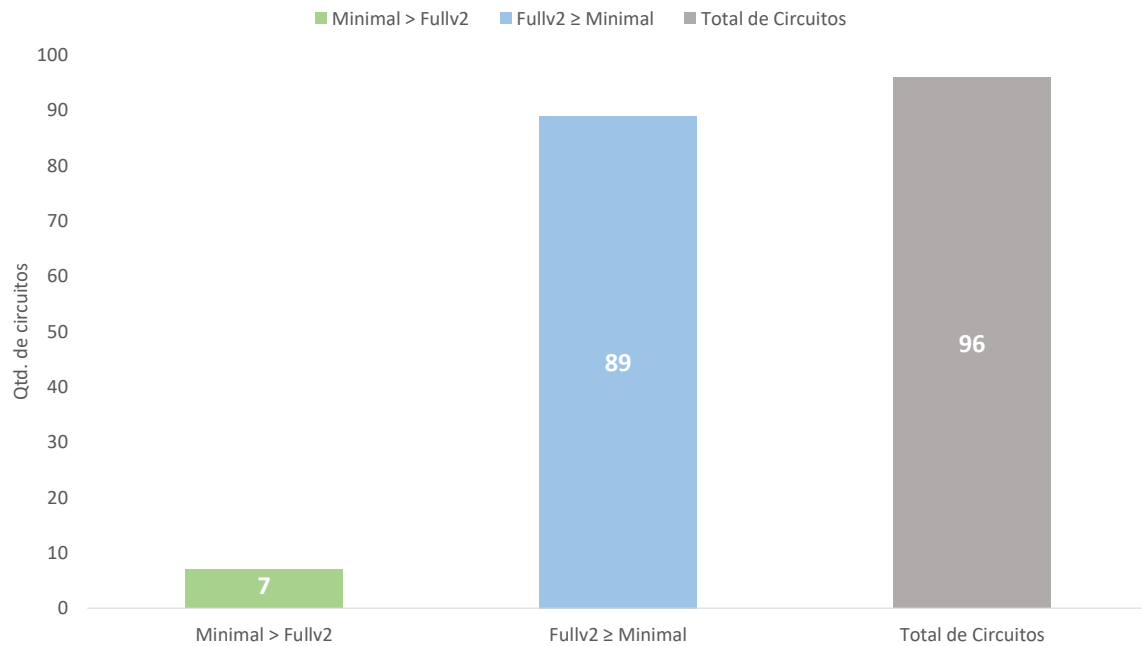


Fonte: O autor

Para comprovar que circuitos Fullv2 são mais confiáveis que os Minimal, foi realizada a comparação entre as versões totalizando 96 circuitos para cada, a Figura 38 apresenta resultado da análise. Em 89 casos a versão Fullv2 foi mais confiável, os dados evidenciam a tendência que circuitos em versões menores (Fullv2) são mais confiáveis, isto é, menos susceptíveis às falhas de radiação que as versões maiores (Minimal). Os fatores responsáveis por esse impacto na confiabilidade dos circuitos são as áreas sensíveis e a taxa de falhas, visto que ambas penalizam o MTBF dos circuitos.

A Tabela 12 demonstra a relação entre as versões conforme a redução de portas,

Figura 38: Comparativo entre a confiabilidade das versões Minimal x Fullv2



Fonte: O autor

taxa de falhas, área sensível e a confiabilidade. Essa Tabela apresenta a seleção dos 10 melhores e piores circuitos em relação ao MTBF entre todos analisados por esse trabalho. Os mais confiáveis são i2 (410k), cmb (92k) e cm15a (60k), eles apresentam taxas de falhas relativamente baixas, ao mesmo passo que a área é pequena, abaixo do $20 \mu.m^2$. Para esse conjunto de circuitos, em 7 dos 10 circuitos a versão Fullv2 obteve melhores resultados, representando um aumento de confiabilidade máxima de 69,93% em i2, seguido por comp, e cm15a. Contudo, os outros três casos restantes, a versão Minimal foi mais robusta a radiação.

Observando os circuitos menos confiáveis, destacam-se os EFPL15 com maior área e atingindo a marca de $3191 \mu.m^2$ em log2 Minimal. O impacto dessa informação na análise foi tão expressivo que o MTBF foi 17 horas entre falhas na versão Minimal, embora, o log2 tenha tido um FR abaixo dos 57%. Prosseguindo, o maior aumento de confiabilidade na comparação foi atingido em voter atingindo o pico de 67%. Embora ocorra uma disparidade na taxa de falhas devido aos mapeamentos, o impacto da área total sobre a confiabilidade dos circuitos foi determinante para avaliar a robustez dos circuitos às falhas SET. Para mais detalhes sobre os resultados de MTBF obtidos consulte o Anexo F (Tabela 17).

Em síntese circuitos mais confiáveis apresentam ter menor área sensível ao passo que a taxa de falhas é relativamente baixa. Dos 10 circuitos mais confiáveis 9/10 são do LGsynth91, 1/10 do ISCAS89, sendo 7/10 com melhor MTBF na versão Fullv2 e 3/10 na Minimal. Entretanto, os piores resultados estão divididos entre 6/10 EPFL15, 3/10 LGsynth91, 1 ISCAS89 e em todos os casos a versão Fullv2 obteve o

Tabela 12: Comparativo entre os 10 melhores e piores MTBFs

Top 10	Benchmark	Circuito	Portas Lógicas	Taxa de falhas (FR)			Área Sensível ($\mu.m^2$)			MTBF		
			Redução (%)	Minimal	Fullv2	Aumento (%)	Minimal	Fullv2	Redução	Minimal	Fullv2	Aumento (%)
Menos Confiáveis	EPFL15	multiplier	62,11%	77,24%	85,60%	9,77%	2804,90	1865,60	33,49%	13	17	35,66%
	EPFL15	log2	59,60%	50,73%	56,90%	10,84%	3191,00	2089,10	34,53%	17	23	36,19%
	EPFL15	square	45,55%	84,70%	83,20%	-1,80%	1853,50	1528,60	17,53%	18	22	23,44%
	EPFL15	sin	49,20%	54,30%	57,20%	5,07%	570,10	448,80	21,28%	90	108	20,59%
	EPFL15	voter	40,94%	15,40%	10,20%	-50,98%	1932,10	1739,90	9,95%	93	157	67,66%
	ISCAS85	c6288	62,68%	77,86%	85,48%	8,92%	318,40	184,16	42,16%	112	176	57,48%
	LGSynth91	des	57,17%	46,30%	60,13%	23,01%	473,07	281,84	40,42%	127	164	29,23%
	EPFL15	bar	40,32%	74,20%	71,40%	-3,92%	258,90	225,40	12,94%	145	173	19,37%
	LGSynth91	i10	51,69%	37,88%	44,82%	15,49%	234,04	164,27	29,81%	313	377	20,40%
	LGSynth91	i8	65,27%	39,60%	48,27%	17,95%	220,87	115,41	47,75%	318	499	57,03%
Mais Confiáveis	LGSynth91	cm85a	51,85%	30,36%	35,46%	14,39%	3,93	2,67	32,14%	23296	29388	26,15%
	LGSynth91	comp	37,75%	7,81%	9,25%	15,65%	10,55	9,85	6,55%	33750	30464	-9,74%
	LGSynth91	cm151a	56,45%	17,67%	20,36%	13,20%	4,49	2,50	44,28%	35012	54538	55,77%
	LGSynth91	cordic	48,11%	10,01%	11,56%	13,37%	7,82	6,25	20,08%	35497	38477	8,40%
	LGSynth91	i3	75,97%	3,81%	6,35%	39,98%	16,35	6,81	58,34%	44600	64250	44,06%
	LGSynth91	cm150a	60,00%	7,46%	10,69%	30,20%	8,31	4,53	45,48%	44816	57381	28,04%
	ISCAS89	s27	29,41%	47,85%	53,29%	10,21%	1,24	1,17	5,43%	46781	44418	-5,05%
	LGSynth91	cm152a	29,17%	31,64%	30,12%	-5,04%	1,62	1,52	6,62%	54040	60787	12,48%
	LGSynth91	cmb	40,35%	7,26%	10,09%	28,06%	4,13	2,98	27,96%	92640	92514	-0,14%
	LGSynth91	i2	73,71%	0,46%	0,58%	21,78%	25,30	11,64	53,97%	241338	410097	69,93%

maior MTBF. Podemos concluir que circuitos Fullv2 tiveram os melhores resultados devido à redução no tamanho da área sensível total. Assim como, conforme aumentava a complexidade da *Logic Library* a tendência da taxa de falhas é aumentar ligeiramente. Em virtude disso, o aumento no MTBF foi significativo atingindo a marca de 69% (i2) no melhor caso, assim refletindo o impacto dos parâmetros na métrica de confiabilidade.

6 CONSIDERAÇÕES FINAIS

A incidência de partículas de radiação em regiões críticas dos dispositivos eletrônicos tem provocado falhas transientes. Em virtude desse efeito, naturalmente se tornou essencial avaliar a confiabilidade de circuitos combinacionais à radiação. Nesse sentido, essa dissertação introduz um procedimento baseado em Monte Carlo, que realiza uma campanha de injeção de falhas para avaliar a confiabilidade de circuitos combinacionais frente às falhas SET. A principal contribuição dessa dissertação foi elencar uma série de análises relacionadas com confiabilidade e susceptibilidade de circuitos nanométricos às falhas originadas por radiação. Foram explorados uma coleção de circuitos *benchmarks* presente no estado da arte, com intuito de avaliar os MTBFs e determinar quais eram mais tolerantes às falhas.

Os resultados indicam que, considerar exclusivamente a taxa de falhas como métrica de robustez dos circuitos, pode levar a resultados imprecisos, pois, são excluídas as características físicas dos circuitos, como as regiões PN reversamente polarizadas, sensíveis a partículas de radiação. Nesse sentido, foi demonstrado pela Tabela 10 que considerar somente esta análise, pode induzir a ideia de que circuitos mapeados com portas lógicas XOR apresentam os piores FR, embora a diferença entre as versões foi relativamente baixa.

Contudo, conforme apresentado pela Tabela 12 onde são relacionados os circuitos mais e menos confiáveis, quando se considera informações físicas dos leiautes em conjunto com o fluxo de partículas que atingira o circuito em análise, a influência causada por uma área sensível maior se sobrepõe a menor taxa de falhas alcançada entre as versões. Portanto, os resultados indicam que circuitos com área sensível menor tendem a obter maior MTBF que os circuitos relativamente maiores. Em outras palavras, esses circuitos permanecem operando durante um tempo médio relativamente maior.

6.1 Principais Contribuições

A partir dos objetivos previamente neste trabalho, a principal contribuição desta dissertação foi propor um estudo detalhado sobre a confiabilidade de circuitos. Diante disso esse trabalho desenvolveu uma série de objetivos que contribuem amplamente na discussão sobre confiabilidade sendo evidenciados a seguir.

- Pesquisar no contexto do trabalho metodologias sobre confiabilidade de circuitos nanométricos;
- Avaliar o desempenho do procedimento em diferentes *benchmarks*;
- Avaliar a taxa de falhas SET em circuitos combinacionais;
- Determinar as áreas susceptíveis à radiação conforme os leiautes físicos das células;
- Avaliar a susceptibilidade dos vetores conforme a áreas sensíveis;
- Analisar a confiabilidade em diferentes circuitos *benchmarks*;

6.2 Produções Científicas

1. FARIAS, CLAYTON R.; BUTZEN, PAULO F. ; SCHVITZ, R. **Procedimento para estimativa da susceptibilidade à radiação de circuitos combinacionais**. IBERCHIP Workshop, 2022, Santiago, Chile, Virtual, março de 2022.
2. FARIAS, C. R.; BUTZEN, PAULO F. ; SCHVITZ, R. ; ROSA, V. **A Tool Based on the Monte Carlo Method to Assess Fault Masking in Digital Circuits**. Simpósio Sul de Microeletrônica (SIM), Virtual. abril de 2021.
3. FARIAS, C. R.; BUTZEN, P. F. . **Procedimento para Estimativa da Susceptibilidade à Radiação de Circuitos Combinacionais**. Mostra de Produção Universitária, (MPU), FURG, Rio Grande, Virtual, novembro de 2021.
4. JURGINA, LAURA QUEVEDO ; PONTES, MATHEUS F. ; FARIAS, CLAYTON R. ; MANSKE, GUILHERME ; SCHVITZ, RAFAEL B. ; BUTZEN, PAULO F. ; ROSA JÚNIOR, LEOMAR SOARES . **CREsT - Uma Ferramenta para o Auxílio do Ensino de Confiabilidade em Circuitos Digitais**. Simpósio Brasileiro de Informática na Educação (ISBE), Brasil, novembro de 2021, p. 191.

5. MANSKE, GUILHERME ; FARIAS, CLAYTON R. ; PONTES, MATHEUS F. ; BUTZEN, PAULO F. ; JUNIOR . **A Fast Approximate Function Generation Method to ATMR Architecture**. Latin American Symposium on Circuits and Systems (LATS), Santiago, Chile, Virtual, março de 2022.
6. PONTES, M. F.; FARIAS, C.; SCHVITZ, R.; BUTZEN, P.; ROSA JR., L. da. **Survey on Reliability Estimation in Digital Circuits**. Journal of Integrated Circuits and Systems (JICS), Brasil, dezembro 2021.
7. FARIAS, C. R.; BUTZEN, P. F. ; SCHVITZ, R. **Analisando o Tradeoff Entre Desempenho e Precisão na Estimativa de Confiabilidade de Circuitos Integrados**, Mostra de Produção Universitária (MPU), FURG, Rio Grande, Virtual, novembro de 2020.
8. FARIAS, C. R.; BUTZEN, P. F. **Exploring Parallel Programming in Automatic Test Pattern Generation**, Simpósio Sul de Microeletrônica (SIM), Virtual, novembro de 2020.
9. PONTES, MATHEUS F. ; FARIAS, CLAYTON R. ; CLARO, G. ; SCHVITZ, RAFAEL B. ; ROSA JÚNIOR, LEOMAR SOARES ; BUTZEN, PAULO F. **Simple Essay To Assess The Impact Of Different Methods On Reliability Analysis**. Simpósio Sul de Microeletrônica (SIM), Virtual, abril de 2020.

REFERÊNCIAS

AGUIAR, Y. de; ZIMPECK, A.; MEINHARDT, C.; REIS, R. Permanent and single event transient faults reliability evaluation EDA tool. **Microelectronics Reliability**, [S.l.], v.64, p.63 – 67, 2016. Proceedings of the 27th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis.

ALEXANDRESCU, D.; STERPONE, L.; LÓPEZ-ONGIL, C. Fault injection and fault tolerance methodologies for assessing device robustness and mitigating against ionizing radiation. In: IEEE EUROPEAN TEST SYMPOSIUM (ETS), 2014., 2014. **Anais. . .** [S.l.: s.n.], 2014. p.1–6.

ALLISON, J.; AMAKO, K.; APOSTOLAKIS, J.; ARCE, P.; ASAI, M.; ASO, T.; BAGLI, E.; BAGULYA, A.; BANERJEE, S.; BARRAND, G.; BECK, B. R.; BOGDANOV. Recent developments in Geant4. **Nucl. Instrum. Methods Phys. Res., Sect. A**, [S.l.], v.835, p.186–225, Nov 2016.

ANGLADA, M.; CANAL, R.; ARAGÓN, J. L.; GONZÁLEZ, A. Fast and Accurate SER Estimation for Large Combinational Blocks in Early Stages of the Design. **IEEE Trans. Sustainable Comput.**, [S.l.], v.6, n.3, p.427–440, Dec 2018.

ARLAT, J.; AGUERA, M.; AMAT, L.; CROUZET, Y.; FABRE, J.-C.; LAPRIE, J.-C.; MARTINS, E.; POWELL, D. Fault injection for dependability validation: a methodology and some applications. **IEEE Transactions on Software Engineering**, [S.l.], v.16, n.2, p.166–182, 1990.

ASADI, H.; TAHOORI, M. Soft error modeling and remediation techniques in ASIC designs. **Microelectronics Journal**, [S.l.], v.41, p.506–522, 08 2010.

BAUMANN, R. C. SOFT ERRORS IN COMMERCIAL INTEGRATED CIRCUITS. **Int. J. High Speed Electron. Syst.**, [S.l.], v.14, n.02, p.299–309, Jun 2004.

Baumann, R. C. Radiation-induced soft errors in advanced semiconductor technolo-

gies. **IEEE Transactions on Device and Materials Reliability**, [S.l.], v.5, n.3, p.305–316, 2005.

BBC News. Japanese supercomputer, crowned world's fastest, is fighting coronavirus. **BBC News**, [S.l.], Jun 2020.

BERKLEY, U. o. C. **ABC**: A System for Sequential Synthesis and Verification. <https://github.com/berkeley-abc/abc>.

BINDER, D.; SMITH, E. C.; HOLMAN, A. B. Satellite Anomalies from Galactic Cosmic Rays. **IEEE Trans. Nucl. Sci.**, [S.l.], v.22, n.6, p.2675–2680, Dec 1975.

BIROLINI, A. **Reliability Engineering**. [S.l.]: Springer-Verlag Berlin Heidelberg, 2017.

Borkar, S. Designing reliable systems from unreliable components: the challenges of transistor variability and degradation. **IEEE Micro**, [S.l.], v.25, n.6, p.10–16, 2005.

BRGLEZ, F.; BRYAN, D.; KOZMINSKI, K. Combinational profiles of sequential benchmark circuits. In: **1989 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.]: IEEE, 1989. p.1929–1934vol.3.

BRYAN, D. **The iscas 85 benchmark circuits and netlist format**. North Carolina State University: [s.n.], 1985. 4p.

CAI, S.; HE, B.; WEIZHENG, W.; LIU, P.; YU, F.; YIN, L.; LI, B. Soft Error Reliability Evaluation of Nanoscale Logic Circuits in the Presence of Multiple Transient Faults. **Journal of Electronic Testing**, [S.l.], v.36, 08 2020.

CAO, X.; XIAO, L.; LI, J.; ZHANG, R.; LIU, S.; WANG, J. A Layout-Based Soft Error Vulnerability Estimation Approach for Combinational Circuits Considering Single Event Multiple Transients (SEMTs). **IEEE Trans. Comput. Aided Des. Integr. Circuits Syst.**, [S.l.], v.38, n.6, p.1109–1122, May 2018.

DODD, P. E.; MASSENGILL, L. W. Basic mechanisms and modeling of single-event upset in digital microelectronics. **IEEE Trans. Nucl. Sci.**, [S.l.], v.50, n.3, p.583–602, Jul 2003.

DODD, P. E.; SHANEYFELT, M. R.; FELIX, J. A.; SCHWANK, J. R. Production and propagation of single-event transients in high-speed digital logic ICs. **IEEE Trans. Nucl. Sci.**, [S.l.], v.51, n.6, p.3278–3284, Dec 2004.

Ercolani, S.; Favalli, M.; Damiani, M.; Olivo, P.; Ricco, B. Estimate of signal probability in combinational logic networks. In: **PROCEEDINGS OF THE 1ST EUROPEAN TEST CONFERENCE**, 1989., 1989. **Anais...** [S.l.: s.n.], 1989. p.132–138.

FERLET-CAVROIS, V.; MASSENGILL, L. W.; GOUKER, P. Single event transients in digital CMOS—A review. **IEEE Transactions on Nuclear Science**, [S.l.], v.60, n.3, p.1767–1790, 2013.

FRANCO, D. **Fiabilité du signal des circuits logiques combinatoires sous fautes simultanées multiples.**

FRANCO, D.; NAVINER, J.-F.; NAVINER, L. Yield and reliability issues in nano-electronic technologies. **Annales des Télécommunications**, [S.l.], v.61, p.1422–1457, 12 2006.

Franco, D. T.; Vasconcelos, M. C.; Naviner, L.; Naviner, J. Reliability of logic circuits under multiple simultaneous faults. In: MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2008., 2008. **Anais...** [S.l.: s.n.], 2008. p.265–268.

FRANCO, D. T.; VASCONCELOS, M. C.; NAVINER, L.; NAVINER, J.-F. Signal probability for reliability evaluation of logic circuits. **Microelectronics Reliability**, [S.l.], v.48, n.8, p.1586 – 1591, 2008. 19th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2008).

G. S. ALMASI, A. G. Review of "Highly Parallel Computing" by , Benjamin-Cummings Publishers, Redwood City, CA, 1989. **IBM Syst. J.**, Riverton, NJ, USA, v.29, n.1, p.165–166, Jan. 1990. Reviewer-Lorin, Harold R.

GAILLARD, R. **Single Event Effects: Mechanisms and Classification.** [S.l.: s.n.], 2010. v.41.

Gang of Four Design Patterns - Spring Framework Guru. [Online; accessed 5. Jan. 2022], <https://springframework.guru/gang-of-four-design-patterns>.

GEORGAKIDIS, C.; PALIAROUTIS, G. I.; SKETOPOULOS, N.; TSOUMANIS, P.; SOTIRIOU, C.; EVMORFOPOULOS, N.; STAMOULIS, G. A Layout-Based Soft Error Rate Estimation and Mitigation in the Presence of Multiple Transient Faults in Combinational Logic. In: INTERNATIONAL SYMPOSIUM ON QUALITY ELECTRONIC DESIGN (ISQED), 2020., 2020. **Anais...** [S.l.: s.n.], 2020. p.231–236.

GSDE-FURG. **CREsT-Development.** [Online; accessed 2. Feb. 2022], <https://github.com/GSDE-FURG/CREsT-Development>.

HAN, J.; CHEN, H.; BOYKIN, E.; FORTES, J. Reliability evaluation of logic circuits using probabilistic gate models. **Microelectronics Reliability**, [S.l.], v.51, n.2, p.468 – 476, 2011. 2010 Reliability of Compound Semiconductors (ROCS) Workshop Prognostics and Health Management.

HAN, J.; CHEN, H.; LIANG, J.; ZHU, P.; YANG, Z.; LOMBARDI, F. A Stochastic Computational Approach for Accurate and Efficient Reliability Evaluation. **Computers, IEEE Transactions on**, [S.l.], v.63, p.1336–1350, 06 2014.

HUANG, H.-M.; WEN, C. H.-P. Layout-Based Soft Error Rate Estimation Framework Considering Multiple Transient Faults—From Device to Circuit Level. **IEEE Trans. Comput. Aided Des. Integr. Circuits Syst.**, [S.l.], v.35, n.4, p.586–597, Aug 2015.

HUANG, H.-M.; WEN, C. H.-P. Layout-Based Soft Error Rate Estimation Framework Considering Multiple Transient Faults—From Device to Circuit Level. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, [S.l.], v.35, n.4, p.586–597, 2016.

GHAVAMI, B.; RAJI, M. **Introduction: Soft Error Modeling**. Cham, Switzerland: Springer, 2020. p.1–7.

IOANNIS PALIAROUTIS, G.; TSOUMANIS, P.; EVMORFOPOULOS, N.; DIMITRIOU, G.; STAMOULIS, G. I. A Placement-Aware Soft Error Rate Estimation of Combinational Circuits for Multiple Transient Faults in CMOS Technology. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI AND NANOTECHNOLOGY SYSTEMS (DFT), 2018., 2018. **Anais...** [S.l.: s.n.], 2018. p.1–6.

Jie Han; Jonker, P. A system architecture solution for unreliable nanoelectronic devices. **IEEE Transactions on Nanotechnology**, [S.l.], v.1, n.4, p.201–208, 2002.

Jie Han; Taylor, E.; Jianbo Gao; Fortes, J. Faults, error bounds and reliability of nanoelectronic circuits. In: IEEE INTERNATIONAL CONFERENCE ON APPLICATION-SPECIFIC SYSTEMS, ARCHITECTURE PROCESSORS (ASAP'05), 2005., 2005. **Anais...** [S.l.: s.n.], 2005. p.247–253.

KIRKMAN, R. A. Failure Concepts in Reliability Theory. **IEEE Transactions on Reliability**, [S.l.], v.R-12, n.4, p.1–10, 1963.

Krishnaswamy, S.; Viamontes, G. F.; Markov, I. L.; Hayes, J. P. Accurate reliability evaluation and enhancement via probabilistic transfer matrices. In: DESIGN, AUTOMATION AND TEST IN EUROPE, 2005. **Anais...** [S.l.: s.n.], 2005. p.282–287 Vol. 1.

KRITIKAKOU, A.; SENTIEYS, O.; HUBERT, G.; HELEN, Y.; COULON, J.-F.; DEROUX-DAUPHIN, P. FLODAM: Cross-Layer Reliability Analysis Flow for Complex Hardware Designs. **IEEE**, [S.l.], p.1–6, Mar 2022.

LIU, A. What is an AI chip? Everything you need to know. **TechRadar**, [S.l.], Jan 2021.

Liu, B.; Cai, L. Monte Carlo Reliability Model for Single-Event Transient on Combinational Circuits. **IEEE Transactions on Nuclear Science**, [S.l.], v.64, n.12, p.2933–2937, 2017.

LUCA AMARU PIERRE-EMMANUEL GAILLARDON, G. D. M. **The EPFL Combinational Benchmark Suite**. [Online; accessed 11. Jan. 2022], <https://www.epfl.ch/labs/lsi/page-102566-en-html/benchmarks>.

Mahatme, N. N.; Chatterjee, I.; Bhuva, B. L.; Ahlbin, J.; Massengill, L. W.; Shuler, R. Analysis of soft error rates in combinational and sequential logic and implications of hardening for advanced technologies. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 2010., 2010. **Anais...** [S.l.: s.n.], 2010. p.1031–1035.

MAY, T. C.; WOODS, M. H. Alpha-particle-induced soft errors in dynamic memories. **IEEE Trans. Electron Devices**, [S.l.], v.26, n.1, p.2–9, Jan 1979.

MISKOV-ZIVANOV, N.; MARCULESCU, D. MARS-C: modeling and reduction of soft errors in combinational circuits. In: ACM/IEEE DESIGN AUTOMATION CONFERENCE, 2006., 2006. **Anais...** [S.l.: s.n.], 2006. p.767–772.

MISKOV-ZIVANOV, N.; MARCULESCU, D. Multiple Transient Faults in Combinational and Sequential Circuits: A Systematic Approach. **Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on**, [S.l.], v.29, n.10, p.1614–1627, Nov 2010.

Monte Carlo Method. , New York, NY, p.359–360, 2008.

MOORE, G. E. Cramming more components onto integrated circuits. **Electronics. Retrieved 2016-07-01**, [S.l.], 04 1965.

Naviner, L.; Liu, K.; Cai, H.; Naviner, J. Efficient computation of combinational circuits reliability based on probabilistic transfer matrix. In: IEEE INTERNATIONAL CONFERENCE ON IC DESIGN TECHNOLOGY, 2014., 2014. **Anais...** [S.l.: s.n.], 2014. p.1–4.

NORMAND, E. SINGLE EVENT EFFECTS IN AVIONICS AND ON THE GROUND. In: **Radiation Effects and Soft Errors in Integrated Circuits and Electronic Devices**. Singapore: WORLD SCIENTIFIC, 2004. v.34, p.1–14.

Pagliarini, S. N.; Ban, T.; de B. Naviner, L. A.; Naviner, J. Reliability assessment of combinational logic using first-order-only fanout reconvergence analysis. In: IEEE 56TH INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS), 2013., 2013. **Anais...** [S.l.: s.n.], 2013. p.113–116.

PALIAROUTIS, G. I.; TSOUMANIS, P.; EVMORFOPOULOS, N.; DIMITRIOU, G.; STAMOULIS, G. I. Multiple Transient Faults in Combinational Logic with Placement Considerations. In: INTERNATIONAL CONFERENCE ON MODERN CIRCUITS AND SYSTEMS TECHNOLOGIES (MOCAS), 2019., 2019. **Anais...** [S.l.: s.n.], 2019. p.1–4.

PATEL, K.; HAYES, J.; MARKOV, I. Evaluating circuit reliability under probabilistic gate-level fault models. **Proceedings of the International Workshop on Logic and Synthesis**, [S.l.], 2003.

PONTES, M. F.; FRANCO, D. T.; BUTZEN, P. F. **Análise dos métodos PTM e SPR para a avaliação de confiabilidade de circuitos combinacionais**. 2019. 99p. Mestrado em Engenharia de Computação, FURG — .

REZAEI, M.; MARTÍN-HOLGADO, P.; MORILLA, Y.; FRANCO, F.; FABERO, J.; MECHA, H.; PUCHNER, H.; HUBERT, G.; CLEMENTE, J. **Impact of High Particle Flux in Radiation Ground Tests with Protons**.

ROSER, M.; RITCHIE, H. **Technological Progress**. <https://ourworldindata.org/technological-progress-the-exponential-increase-of-the-number-of-transistors-on-integrated-circuits>.

ROSS, S. **Probabilidade - Um Curso Moderno com Aplicações**. <http://www.mat.ufrgs.br/~giacomo/Livros/Sheldon>

ROSSI, D.; OMANA, M.; TOMA, F.; METRA, C. Multiple transient faults in logic: an issue for next generation ICs? In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI SYSTEMS (DFT'05), 20., 2005. **Anais...** [S.l.: s.n.], 2005. p.352–360.

SAYIL, S. A survey of circuit-level soft error mitigation methodologies. **Analog Integrated Circuits and Signal Processing**, [S.l.], v.99, p.1–8, 04 2019.

Schivittz, R. B.; Fritz, R.; Franco, D. T.; Naviner, L.; Meinhardt, C.; Butzen, P. F. Inserting permanent fault input dependence on PTM to improve robustness evaluation. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN (SBCCI), 2016., 2016. **Anais...** [S.l.: s.n.], 2016. p.1–6.

SCHVITZ, R. B. **Susceptibility Analysis of Logic Gates considering Single Event Transient Faults**. 2020. Doctoral Thesis — Universidade Federal de Pelotas.

SCHVITZ, R. B.; BUTZEN, P. F.; ROSA, L. S. d. Methods for Susceptibility Analysis of Logic Gates in the Presence of Single Event Transients. In: IEEE INTERNATIONAL TEST CONFERENCE (ITC), 2020., 2020. **Anais...** [S.l.: s.n.], 2020. p.1–9.

SEIFERT, N.; SLANKARD, P.; KIRSCH, M.; NARASIMHAM, B.; ZIA, V.; BROOKERSON, C.; VO, A.; MITRA, S.; GILL, B.; MAIZ, J. Radiation-Induced Soft Error Rates of Advanced CMOS Bulk Devices. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM PROCEEDINGS, 2006., 2006. **Anais...** [S.l.: s.n.], 2006. p.217–225.

SHIVAKUMAR, P.; KISTLER, M.; KECKLER, S. W.; BURGER, D.; ALVISI, L. Modeling the effect of technology trends on the soft error rate of combinational logic. In: **Proceedings International Conference on Dependable Systems and Networks**. [S.l.]: IEEE, 2002. p.389–398.

SILVACO'S. **45nm open library NANGATE**. <https://si2.org/>.

Slimani, M.; Naviner, L. A tool for transient fault analysis in combinational circuits. In: IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS (ICECS), 2015., 2015. **Anais...** [S.l.: s.n.], 2015. p.125–128.

SMITHSON, M.; SMITHSON, P. **Confidence Intervals**. [S.l.]: SAGE Publications, 2003. n.Nº 140. (Confidence Intervals).

GHAVAMI, B.; RAJI, M. **Soft Error Rate Estimation of VLSI Circuits**. Cham: Springer International Publishing, 2021. p.9–23.

THERY, T.; GASLOT, G.; MALHERBE, V.; AUTRAN, J.-L.; ROCHE, P. TIARA: Industrial Platform for Monte Carlo Single-Event Simulations in Planar Bulk, FD-SOI, and FinFET. **IEEE Transactions on Nuclear Science**, [S.l.], v.68, n.5, p.603–610, 2021.

TUZOV, I.; ANDRÉS, D. de; RUIZ, J.-C. Accurate Robustness Assessment of HDL Models Through Iterative Statistical Fault Injection. In: **2018 14th European Dependable Computing Conference (EDCC)**. [S.l.]: IEEE, 2018. p.1–8.

URMA, R.-G.; WARBURTON, R. **Real-World Software Development**. Sebastopol, CA, USA: O'Reilly Media, Inc., 2019.

WANG, F.; AGRAWAL, V. D. Single Event Upset: An Embedded Tutorial. In: INTERNATIONAL CONFERENCE ON VLSI DESIGN (VLSID 2008), 21., 2008. **Anais. . .** [S.l.: s.n.], 2008. p.429–434.

YANG, S. **Logic Synthesis and Optimization Benchmarks User Guide Version 3.0.**

ZIEGLER, J. F.; CURTIS, H. W.; MUHLFELD, H. P.; MONTROSE, C. J.; CHIN, B. IBM experiments in soft fails in computer electronics (1978–1994). **IBM J. Res. Dev.**, [S.l.], v.40, n.1, p.3–18, Jan 1996.

ZIMPECK, A.; MEINHARDT, C.; BUTZEN, P. Análise do Comportamento de Portas Lógicas CMOS com Falhas Stuck-On em Nanotecnologia. **Revista Jr de Iniciação Científica em Ciências Exatas e Engenharia (ICCEEG)**, [S.l.], v.1, 02 2014.

A DESCRIÇÃO DOS CIRCUITOS TESTE EM VERILOG

Figura 39: Descrição do FAV1

```
module FullAdderV1 (  
    G1gat, G2gat, G3gat, G4gat, G5gat );  
    input  G1gat, G2gat, G3gat;  
    output G4gat, G5gat ;  
    wire w1, w2, w3, w4;  
  
    XOR2X1    G1(.A(G1gat), .B(G2gat), .Y(w1));  
    AND2X1    G2(.A(G1gat), .B(G2gat), .Y(w2));  
    AND2X1    G3(.A(G1gat), .B(G3gat), .Y(w3));  
    AND2X1    G4(.A(G3gat), .B(G2gat), .Y(w4));  
    XOR2X1    G5(.A(w1), .B(G3gat), .Y(G4gat));  
    OR3X1     G6(.A(w2), .B(w3), .C(w4), .Y(G5gat));  
  
endmodule
```

Figura 40: Descrição do Multiplex-4bits

```
module Multiplex_4bits (  
    G1gat, G2gat, G3gat, G4gat, G5gat, G6gat, G7gat );  
    input  G1gat, G2gat, G3gat, G4gat, G5gat, G6gat;  
    output G7gat ;  
    wire w1, w2, w3, w4, w5, w6;  
  
    INVX1     U1(.A(G1gat), .Y(w1));  
    INVX1     U2(.A(G2gat), .Y(w2));  
    AND3X1    U3(.A(G3gat), .B(w2), .C(w1), .Y(w3));  
    AND3X1    U4(.A(G4gat), .B(w2), .C(G1gat), .Y(w4));  
    AND3X1    U5(.A(G5gat), .B(G2gat), .C(w1), .Y(w5));  
    AND3X1    U6(.A(G6gat), .B(G2gat), .C(G1gat), .Y(w6));  
    OR4X1     U7(.A(w3), .B(w4), .C(w5), .D(w6), .Y(G7gat));  
  
endmodule
```

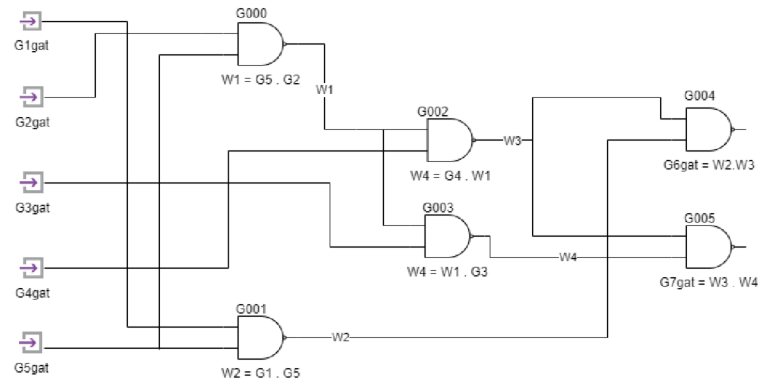
B LOGIC LIBRARY

Figura 41: Exemplo de *Logic Library*

```
GATE ZERO      1 Y=CONST0;
GATE ONE 1 Y=CONST1;
GATE BUF 1 Y=A;
GATE INV 1 Y=!A;
GATE NOR2 1 Y=!(A+B);
GATE NOR3 1 Y=!(A+B+C);
GATE NOR4 1 Y=!(A+B+C+D);
GATE NAND2 1 Y=!(A*B);
GATE NAND3 1 Y=!(A*B*C);
GATE NAND4 1 Y=!(A*B*C*D);
GATE OAI21 1 Y=!(((A0+A1)*B0);
GATE OAI211 1 Y=!(((A0+A1)*B0*B1);
GATE OAI22 1 Y=!(((A0+A1)*(B0+B1)));
GATE OAI221 1 Y=!(((A0+A1)*C0*(B0+B1)));
GATE OAI222 1 Y=!(((A0+A1)*(B0+B1)*(C0+C1)));
GATE AOI21 1 Y=!(A0*A1+B0);
GATE AOI211 1 Y=!(A0*A1+B+C);
GATE AOI22 1 Y=!(A0*A1+B0*B1);
GATE AOI221 1 Y=!(A0*A1+C0+(B0*B1));
GATE AOI222 1 Y=!(A0*A1)+(B0*B1)+(C0*C1));
GATE XOR2 1 Y=(A*B)+(!A*B);
```

C ESTUDO DE CASO - RELATÓRIOS DA SIMULAÇÃO

Figura 42: 42(a) Circuito combinacional c17v3: 42(b) descrição em verilog, e o relatório completo gerado para essa simulação 42(c)



(a)

```

1  module C17V3 (G1gat, G2gat, G3gat, G4gat, G5gat, G6gat, G7gat );
2
3  input  G1gat, G2gat, G3gat, G4gat, G5gat;
4  output G6gat, G7gat;
5  wire  w1, w2, w3, w4;
6
7  NAND2X1 G000(.A(G5gat), .B(G2gat), .Y(w1));
8  NAND2X1 G001(.A(G5gat), .B(G1gat), .Y(w2));
9  NAND2X1 G002(.A(w1), .B(G4gat), .Y(w3));
10 NAND2X1 G003(.A(w1), .B(G3gat), .Y(w4));
11 NAND2X1 G004(.A(w2), .B(w3), .Y(G6gat));
12 NAND2X1 G005(.A(w4), .B(w3), .Y(G7gat));
13
14 endmodule

```

(b)

Circuit Name: c17v3.v
Input (5): G1gat, G2gat, G3gat, G4gat, G5gat
Output (2): G6gat, G7gat
Circuit Signals (11): G1gat, G2gat, G3gat, G4gat, G5gat, G6gat, G7gat, w1, w2, w3, w4
Fault Signals (11): G1gat, G2gat, G3gat, G4gat, G5gat, G6gat, G7gat, w1, w2, w3, w4

Input Signals	Fault Signal	Fault Type	Fault-Free	Faulty	Detected Faults
'00000	[G1gat]	(0/1)G1gat	'00	'00	63556
'00000	[G2gat]	(0/1)G2gat	'00	'00	
'00000	[G3gat]	(0/1)G3gat	'00	'01	
'00000	[G4gat]	(0/1)G4gat	'00	'11	
'00000	[G5gat]	(0/1)G5gat	'00	'00	
'00000	[G6gat]	(0/1)G6gat	'00	'10	
'00000	[G7gat]	(0/1)G7gat	'00	'01	
'00000	[w1]	(1/0)w1	'00	'00	
'00000	[w2]	(1/0)w2	'00	'10	
'00000	[w3]	(1/0)w3	'00	'11	
'00000	[w4]	(1/0)w4	'00	'01	
'00000	[G1gat, G2gat]	(0/1)G1gat (0/1)G2gat	'00	'00	
'00000	[G1gat, G3gat]	(0/1)G1gat (0/1)G3gat	'00	'01	
'00000	[G1gat, G4gat]	(0/1)G1gat (0/1)G4gat	'00	'11	
'00000	[G1gat, G5gat]	(0/1)G1gat (0/1)G5gat	'00	'10	
'00000	[G1gat, G6gat]	(0/1)G1gat (0/1)G6gat	'00	'10	
'00000	[G1gat, G7gat]	(0/1)G1gat (0/1)G7gat	'00	'01	
'00000	[G1gat, w1]	(0/1)G1gat (1/0)w1	'00	'00	
'00000	[G1gat, w2]	(0/1)G1gat (1/0)w2	'00	'10	
'00000	[G1gat, w3]	(0/1)G1gat (1/0)w3	'00	'11	
'00000	[G1gat, w4]	(0/1)G1gat (1/0)w4	'00	'01	
'00000	[G2gat, G3gat]	(0/1)G2gat (0/1)G3gat	'00	'01	
'00000	[G2gat, G4gat]	(0/1)G2gat (0/1)G4gat	'00	'11	
'00000	[G2gat, G5gat]	(0/1)G2gat (0/1)G5gat	'00	'00	
'00000	[G2gat, G6gat]	(0/1)G2gat (0/1)G6gat	'00	'10	
'00000	[G2gat, G7gat]	(0/1)G2gat (0/1)G7gat	'00	'01	
'00000	[G2gat, w1]	(0/1)G2gat (1/0)w1	'00	'00	
'00000	[G2gat, w2]	(0/1)G2gat (1/0)w2	'00	'10	
'00000	[G2gat, w3]	(0/1)G2gat (1/0)w3	'00	'11	
'00000	[G2gat, w4]	(0/1)G2gat (1/0)w4	'00	'01	
'00000	[G3gat, G4gat]	(0/1)G3gat (0/1)G4gat	'00	'11	
'00000	[G3gat, G5gat]	(0/1)G3gat (0/1)G5gat	'00	'01	
'00000	[G3gat, G6gat]	(0/1)G3gat (0/1)G6gat	'00	'11	
'00000	[G3gat, G7gat]	(0/1)G3gat (0/1)G7gat	'00	'01	
'00000	[G3gat, w1]	(0/1)G3gat (1/0)w1	'00	'00	
'00000	[G3gat, w2]	(0/1)G3gat (1/0)w2	'00	'11	
'00000	[G3gat, w3]	(0/1)G3gat (1/0)w3	'00	'11	
'00000	[G3gat, w4]	(0/1)G3gat (1/0)w4	'00	'01	
'00000	[G4gat, G5gat]	(0/1)G4gat (0/1)G5gat	'00	'11	
'00000	[G4gat, G6gat]	(0/1)G4gat (0/1)G6gat	'00	'11	
'00000	[G4gat, G7gat]	(0/1)G4gat (0/1)G7gat	'00	'11	
'00000	[G4gat, w1]	(0/1)G4gat (1/0)w1	'00	'00	

(c)

D TABELAS - ÁREAS SENSÍVEIS DAS CÉLULAS

Tabela 13: Sensitive Library: Áreas Sensíveis Extraídas dos Leiautes - Parte I

Porta	Vetor	Área Sensível ($\mu\text{.m}^2$)	Porta	Vetor	Área Sensível ($\mu\text{.m}^2$)
BUF	0	0,088	XOR2	00	0,272
BUF	1	0,077	XOR2	01	0,135
INV	0	0,044	XOR2	10	0,149
INV	1	0,066	XOR2	11	0,154
NAND2	00	0,044	NOR2	00	0,058
NAND2	01	0,102	NOR2	01	0,066
NAND2	10	0,044	NOR2	10	0,154
NAND2	11	0,088	NOR2	11	0,066
NAND3	000	0,044	NOR3	000	0,102
NAND3	001	0,044	NOR3	001	0,066
NAND3	010	0,044	NOR3	010	0,154
NAND3	011	0,044	NOR3	011	0,066
NAND3	100	0,102	NOR3	100	0,243
NAND3	101	0,102	NOR3	101	0,066
NAND3	110	0,160	NOR3	110	0,154
NAND3	111	0,154	NOR3	111	0,066
NAND4	0000	0,044	NOR4	0000	0,116
NAND4	0001	0,044	NOR4	0001	0,066
NAND4	0010	0,044	NOR4	0010	0,154
NAND4	0011	0,044	NOR4	0011	0,066
NAND4	0100	0,044	NOR4	0100	0,243
NAND4	0101	0,044	NOR4	0101	0,243
NAND4	0110	0,044	NOR4	0110	0,154
NAND4	0111	0,044	NOR4	0111	0,066
NAND4	1000	0,102	NOR4	1000	0,331
NAND4	1001	0,102	NOR4	1001	0,066
NAND4	1010	0,102	NOR4	1010	0,154
NAND4	1011	0,102	NOR4	1011	0,066
NAND4	1100	0,160	NOR4	1100	0,243
NAND4	1101	0,160	NOR4	1101	0,066
NAND4	1110	0,218	NOR4	1110	0,154
NAND4	1111	0,176	NOR4	1111	0,066

Tabela 14: Sensitive Library: Áreas Sensíveis Extraídas dos Leiautes - Parte II

Porta	Vetor	Área Sensível ($\mu.m^2$)	Porta	Vetor	Área Sensível ($\mu.m^2$)
OAI21	000	0,058	OAI211	0000	0,058
OAI21	001	0,058	OAI211	0001	0,058
OAI21	010	0,160	OAI211	0010	0,058
OAI21	011	0,088	OAI211	0011	0,058
OAI21	100	0,058	OAI211	0100	0,160
OAI21	101	0,176	OAI211	0101	0,160
OAI21	110	0,160	OAI211	0110	0,218
OAI21	111	0,088	OAI211	0111	0,154
OAI22	0000	0,058	OAI211	1000	0,160
OAI22	0001	0,203	OAI211	1001	0,160
OAI22	0010	0,203	OAI211	1010	0,218
OAI22	0011	0,203	OAI211	1011	0,243
OAI22	0100	0,058	OAI211	1100	0,160
OAI22	0101	0,176	OAI211	1101	0,160
OAI22	0110	0,088	OAI211	1110	0,218
OAI22	0111	0,088	OAI211	1111	0,154
OAI22	1000	0,058	AOI211	0000	0,102
OAI22	1001	0,265	AOI211	0001	0,331
OAI22	1010	0,176	AOI211	0010	0,243
OAI22	1011	0,176	AOI211	0011	0,243
OAI22	1100	0,058	AOI211	0100	0,160
OAI22	1101	0,176	AOI211	0101	0,331
OAI22	1110	0,088	AOI211	0110	0,243
OAI22	1111	0,088	AOI211	0111	0,243
AOI21	000	0,058	AOI211	1000	0,102
AOI21	001	0,243	AOI211	1001	0,331
AOI21	010	0,116	AOI211	1010	0,243
AOI21	011	0,243	AOI211	1011	0,243
AOI21	100	0,058	AOI211	1100	0,088
AOI21	101	0,243	AOI211	1101	0,088
AOI21	110	0,088	AOI211	1110	0,088
AOI21	111	0,058	AOI211	1111	0,088
AOI22	0000	0,058	AOI221	00000	0,218
AOI22	0001	0,058	AOI221	00001	0,218
AOI22	0010	0,116	AOI221	00010	0,160
AOI22	0011	0,088	AOI221	00011	0,088
AOI22	0100	0,116	AOI221	00100	0,243
AOI22	0101	0,116	AOI221	00101	0,243
AOI22	0110	0,174	AOI221	00110	0,243
AOI22	0111	0,088	AOI221	00111	0,088
AOI22	1000	0,058	AOI221	01000	0,160
AOI22	1001	0,058	AOI221	01001	0,218
AOI22	1010	0,116	AOI221	01010	0,160
AOI22	1011	0,088	AOI221	01011	0,088
AOI22	1100	0,309	AOI221	01100	0,243
AOI22	1101	0,309	AOI221	01101	0,243
AOI22	1110	0,309	AOI221	01110	0,243
AOI22	1111	0,309	AOI221	01111	0,243
			AOI221	10000	0,058
			AOI221	10001	0,160
			AOI221	10010	0,102
			AOI221	10011	0,088
			AOI221	10100	0,243
			AOI221	10101	0,243
			AOI221	10110	0,243
			AOI221	10111	0,088
			AOI221	11000	0,397
			AOI221	11001	0,397
			AOI221	11010	0,397
			AOI221	11011	0,088
			AOI221	11100	0,243
			AOI221	11101	0,243
			AOI221	11110	0,243
			AOI221	11111	0,088

Tabela 15: Sensitive Library: Áreas Sensíveis Extraídas dos Leiautes - Parte III

Porta	Vetor	Área Sensível ($\mu\text{.m}^2$)
OAI221	00000	0,058
OAI221	00001	0,160
OAI221	00010	0,160
OAI221	00011	0,160
OAI221	00100	0,058
OAI221	00101	0,261
OAI221	00110	0,261
OAI221	00111	0,261
OAI221	01000	0,058
OAI221	01001	0,160
OAI221	01010	0,160
OAI221	01011	0,160
OAI221	01100	0,058
OAI221	01101	0,154
OAI221	01110	0,243
OAI221	01111	0,243
OAI221	10000	0,058
OAI221	10001	0,160
OAI221	10010	0,160
OAI221	10011	0,160
OAI221	10100	0,058
OAI221	10101	0,243
OAI221	10110	0,331
OAI221	10111	0,331
OAI221	11000	0,058
OAI221	11001	0,160
OAI221	11010	0,160
OAI221	11011	0,160
OAI221	11100	0,058
OAI221	11101	0,154
OAI221	11110	0,154
OAI221	11111	0,154

E LEIAUTES DAS CÉLULAS EM FORMATO GDSII

Figura 43: Leiaute da Porta BUFFER

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
BUFFER	0	0,105	0,63	0,105	0,21	0,068
	1	0,105	0,315	0,105	0,415	0,077

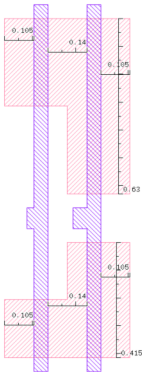


Figura 44: Leiaute da Porta INV

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
INV	0			0,105	0,415	0,044
	1	0,105	0,63			0,066

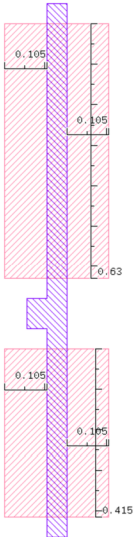


Figura 45: Leiaute da Porta NAND2

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
NAND2	00			0,105	0,415	0,044
	01			0,245	0,415	0,102
	10			0,105	0,415	0,044
	11	0,14	0,63			0,088

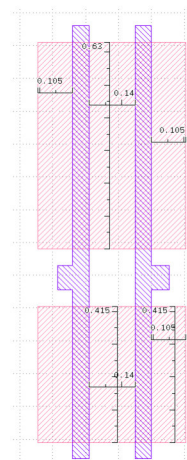


Figura 46: Leiaute da Porta XOR2

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
XOR2	00	0,385	0,63	0,14	0,21	0,272
	01	0,245	0,315	0,14	0,415	0,135
	10	0,105	0,315	0,28	0,415	0,148
	11	0,245	0,63			0,154

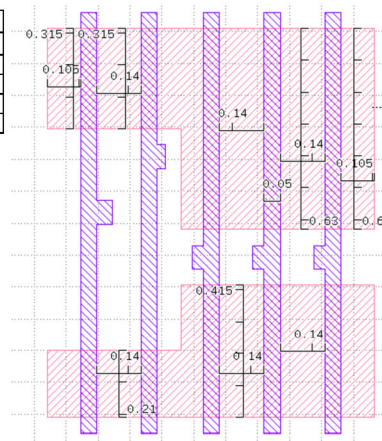


Figura 47: Leiaute da Porta NOR2

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
NOR2	00			0,14	0,415	0,058
	01	0,105	0,63			0,066
	10	0,245	0,63			0,154
	11	0,105	0,63			0,066

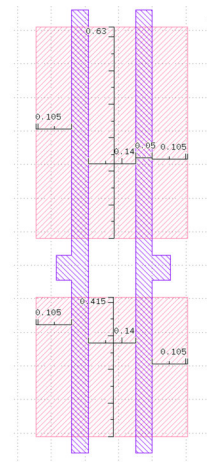


Figura 48: Leiaute da Porta NAND3

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
NOR2	00			0,14	0,415	0,058
	01	0,105	0,63			0,066
	10	0,245	0,63			0,154
	11	0,105	0,63			0,066

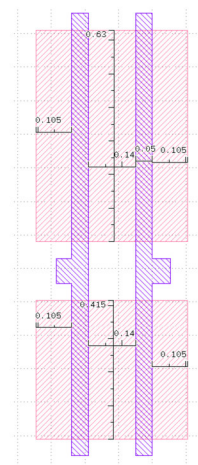


Figura 49: Leiaute da Porta NOR3

Porta	Vetor	PMOS		NMOS		Área Sensível
		= Comprimento	W = Largura	= Comprimento	W = Largura	
NOR3	000			0,245	0,415	0,102
	001	0,105	0,63			0,066
	010	0,245	0,63			0,154
	011	0,105	0,63			0,066
	100	0,385	0,63			0,243
	101	0,105	0,63			0,066
	110	0,245	0,63			0,154
	111	0,105	0,63			0,066

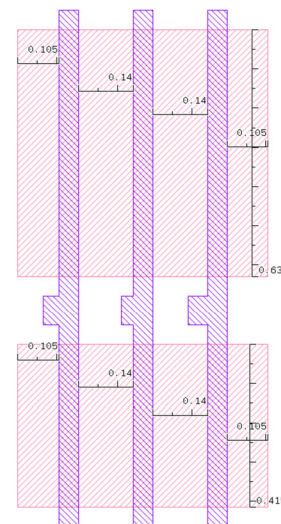


Figura 50: Leiaute da Porta OAI21

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
OAI21	000			0,14	0,415	0,058
	001			0,14	0,415	0,058
	010			0,385	0,415	0,160
	011	0,14	0,63		-	0,088
	100			0,14	0,415	0,058
	101	0,28	0,63			0,176
	110			0,385	0,415	0,160
	111	0,14	0,63			0,088

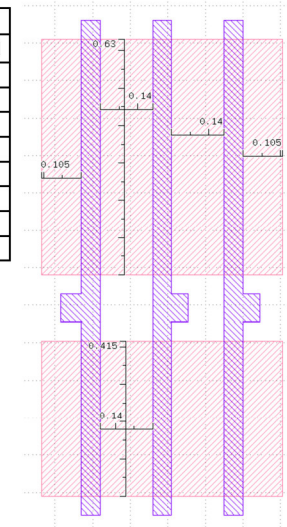


Figura 51: Leiaute da Porta AOI21

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
AOI21	000			0,14	0,415	0,0581
	001	0,385	0,63			0,243
	010			0,28	0,415	0,1162
	011	0,385	0,63			0,243
	100			0,14	0,415	0,0581
	101	0,385	0,63			0,243
	110	0,14	0,63			0,088
	111			0,14	0,415	0,058

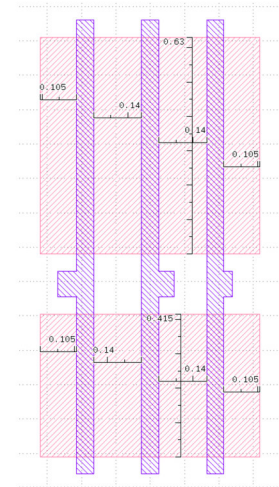


Figura 52: Leiaute da Porta NAND4

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
NAND4	0000			0,105	0,415	0,044
	0001			0,105	0,415	0,044
	0010			0,105	0,415	0,044
	0011			0,105	0,415	0,044
	0100			0,105	0,415	0,044
	0101			0,105	0,415	0,044
	0110			0,105	0,415	0,044
	0111			0,105	0,415	0,044
	1000			0,245	0,415	0,102
	1001			0,245	0,415	0,102
	1010			0,245	0,415	0,102
	1011			0,245	0,415	0,102
	1100			0,385	0,415	0,160
	1101			0,385	0,415	0,160
	1110			0,525	0,415	0,218
	1111	0,28	0,63			0,1764

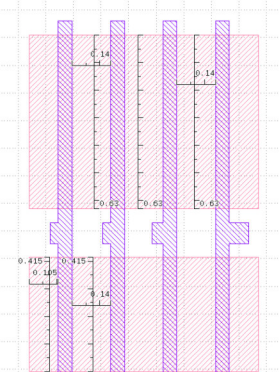


Figura 53: Leiaute da Porta NOR4

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
NAND4	0000			0,28	0,415	0,116
	0001	0,105	0,63			0,066
	0010	0,245	0,63			0,154
	0011	0,105	0,63			0,066
	0100	0,385	0,63			0,243
	0101	0,385	0,63			0,243
	0110	0,245	0,63			0,154
	0111	0,105	0,63			0,066
	1000	0,525	0,63			0,331
	1001	0,105	0,63			0,066
	1010	0,245	0,63			0,154
	1011	0,105	0,63			0,066
	1100	0,385	0,63			0,243
	1101	0,105	0,63			0,066
	1110	0,245	0,63			0,154
	1111	0,105	0,63			0,066

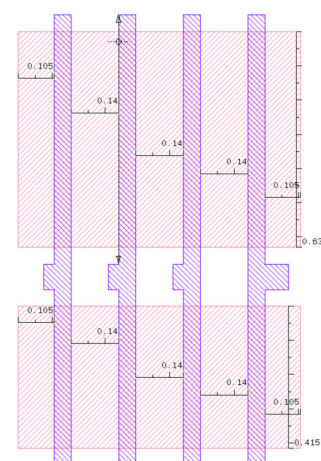


Figura 54: Leiaute da Porta OAI22

Porta	Vetor	PMOS		NMOS		Área Sensível
		= Comprimento	W = Largura	= Comprimento	W = Largura	
OAI22	0000			0,14	0,415	0,058
	0001			0,49	0,415	0,203
	0010			0,49	0,415	0,203
	0011			0,49	0,415	0,203
	0100			0,14	0,415	0,058
	0101	0,28	0,63			0,176
	0110	0,14	0,63			0,088
	0111	0,14	0,63			0,088
	1000			0,14	0,415	0,058
	1001	0,42	0,63			0,285
	1010	0,28	0,63			0,176
	1011	0,28	0,63			0,176
	1100			0,14	0,415	0,058
	1101	0,28	0,63			0,176
	1110	0,14	0,63			0,088
	1111	0,14	0,63			0,088

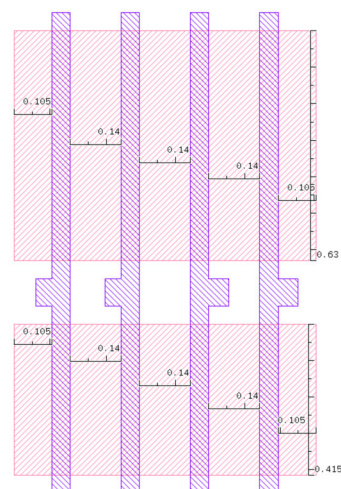


Figura 55: Leiaute da Porta AOI22

Logic Gates	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
AOI22	0000			0,14	0,415	0,0581
	0001			0,14	0,415	0,0581
	0010			0,28	0,415	0,1162
	0011	0,14	0,63			0,0882
	0100			0,28	0,415	0,1162
	0101			0,28	0,415	0,1162
	0110			0,42	0,415	0,1743
	0111	0,14	0,63			0,0882
	1000			0,14	0,415	0,0581
	1001			0,14	0,415	0,0581
	1010			0,28	0,415	0,1162
	1011	0,14	0,63			0,0882
	1100	0,49	0,63			0,3087
	1101	0,49	0,63			0,3087
	1110	0,49	0,63			0,3087
	1111	0,49	0,63			0,3087

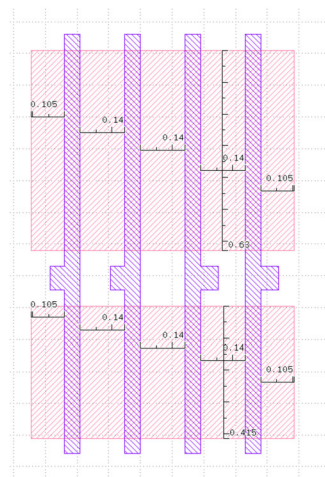


Figura 56: Leiaute da Porta OAI211

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
OAI211	0000			0,14	0,415	0,058
	0001			0,14	0,415	0,058
	0010			0,14	0,415	0,058
	0011			0,14	0,415	0,058
	0100			0,385	0,415	0,160
	0101			0,385	0,415	0,160
	0110			0,525	0,415	0,218
	0111	0,245	0,63			0,154
	1000			0,385	0,415	0,160
	1001			0,385	0,415	0,160
	1010			0,525	0,415	0,218
	1011	0,385	0,63			0,243
	1100			0,385	0,415	0,160
	1101			0,385	0,415	0,160
	1110			0,525	0,415	0,218
	1111	0,245	0,63			0,154

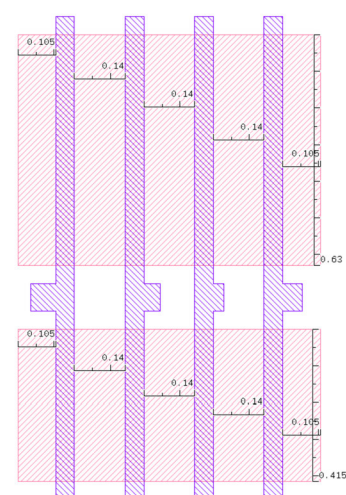
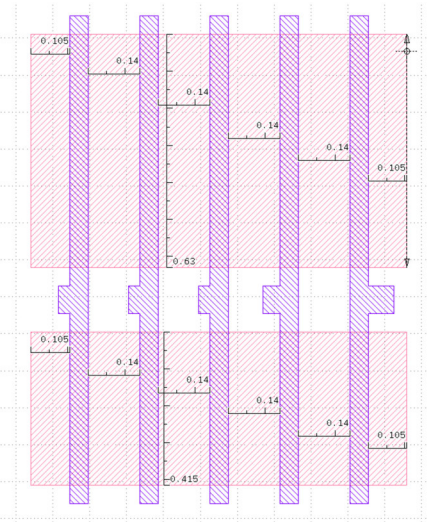


Figura 59: Leiaute da Porta OAI221

Porta	Vetor	PMOS		NMOS		Área Sensível
		L = Comprimento	W = Largura	L = Comprimento	W = Largura	
OAI221	00000			0,14	0,415	0,058
	00001			0,385	0,415	0,160
	00010			0,385	0,415	0,160
	00011			0,385	0,415	0,160
	00100			0,14	0,415	0,058
	00101			0,63	0,415	0,261
	00110			0,63	0,415	0,261
	00111			0,63	0,415	0,261
	01000			0,14	0,415	0,058
	01001			0,385	0,415	0,160
	01010			0,385	0,415	0,160
	01011			0,385	0,415	0,160
	01100			0,14	0,415	0,058
	01101	0,245	0,63			0,154
	01110	0,385	0,63			0,243
	01111	0,385	0,63			0,243
	10000			0,14	0,415	0,058
	10001			0,385	0,415	0,160
	10010			0,385	0,415	0,160
	10011			0,385	0,415	0,160
	10100			0,14	0,415	0,058
	10101	0,385	0,63			0,243
	10110	0,525	0,63			0,331
	10111	0,525	0,63			0,331
	11000			0,14	0,415	0,058
	11001			0,385	0,415	0,160
	11010			0,385	0,415	0,160
	11011			0,385	0,415	0,160
	11100			0,14	0,415	0,058
	11101	0,245	0,63			0,154
	11110	0,245	0,63			0,154
	11111	0,245	0,63			0,154



F ANÁLISES E RESULTADOS

Tabela 16: Área sensível total (AS) dos *benchmarks* ISCAS85, ISCAS89, LGSynth91 e EPFL15

<i>Benchmark</i>	Circuito	Área Sensível total (μm^2)				
		Minimal	Basic	Complex	Full	Fully2
ISCAS85	c6288	318,4	298,5	313,2	380,8	184,2
	c7552	228,4	190,2	204,2	224,0	143,6
	c5315	172,9	133,1	142,1	144,2	111,4
	c3540	114,0	100,5	93,9	98,6	84,5
	c2670	86,6	66,9	68,1	67,3	58,2
	c499	50,9	45,8	43,4	50,8	27,6
	c1908	49,4	41,7	48,3	50,0	30,7
	c880	34,4	25,6	27,5	26,7	24,1
	c432	27,9	21,8	23,9	24,0	22,6
	s9234	177,9	150,2	142,2	144,7	133,5
ISCAS89	s5378	125,6	98,3	97,1	96,7	94,8
	s1494	54,1	48,3	41,6	42,3	42,4
	s1488	52,9	47,5	41,4	41,3	41,4
	s1238	51,2	40,1	37,2	36,8	37,0
	s1423	48,0	45,2	38,4	39,8	39,2
	s1196	46,2	36,0	34,4	33,2	33,5
	s832	29,0	21,8	21,0	21,0	21,0
	s820	28,4	21,1	20,4	20,5	20,5
	s510	18,9	15,0	15,1	14,5	14,3
	s526	17,8	13,8	13,6	13,8	13,8
	s713	16,4	12,5	11,4	13,6	13,6
	s641	15,3	11,4	11,3	13,1	13,1
	s420	15,2	11,2	11,1	11,1	10,3
	s444	13,9	12,3	10,2	10,5	10,0
	s400	12,9	11,9	10,6	10,2	10,3
	s386	12,4	10,2	9,4	9,3	9,3
	s382	12,3	11,3	10,1	10,0	10,1
	s298	9,9	8,2	7,3	7,3	7,3
	s349	9,7	9,6	8,2	9,2	9,2
	s344	9,4	9,3	7,9	8,6	8,6
	s208	6,7	5,3	5,2	5,2	4,6
	s27	1,2	1,1	1,1	1,2	1,2
LGSynth91	9symml	17,3	15,0	13,7	13,5	13,6
	alu2	39,9	35,2	36,6	35,2	33,6
	alu4	77,2	66,4	66,0	63,6	56,8
	apex6	56,5	50,0	44,6	45,0	44,6
	apex7	20,7	16,4	16,3	16,6	16,6
	b9	9,0	8,2	7,7	7,6	7,6
	c8	13,7	12,5	10,6	10,6	10,7
	cc	5,5	4,7	4,9	4,7	4,7
	cht	18,4	18,4	12,1	12,1	12,1
	cm150a	8,3	5,5	4,7	4,5	4,5
	cm151a	4,5	3,7	3,1	2,5	2,5
	cm152a	1,6	1,6	1,5	1,5	1,5
	cm162a	4,4	4,1	3,1	3,4	2,6
	cm163a	4,2	3,9	2,9	3,1	2,4
	cm85a	3,9	3,1	2,7	2,9	2,7
	cmb	4,1	3,1	2,9	3,0	3,0
	comp	10,5	11,2	8,4	10,6	9,9
	cordic	7,8	7,1	7,0	7,5	6,2
	count	10,9	10,5	10,3	8,7	8,7
	cu	5,0	4,0	3,5	3,7	3,7
	dalu	115,3	104,2	105,6	100,4	86,2
	des	473,1	316,5	295,9	321,5	281,8
	example2	25,3	21,5	20,4	21,2	19,6
	f51m	11,3	9,3	9,1	9,1	9,1
	frg1	11,6	9,6	8,5	8,2	8,2
	frg2	92,2	73,6	65,5	67,6	67,6
	i1	4,6	3,4	3,3	3,0	3,0
	i10	234,0	179,8	184,2	189,6	164,3
	i2	25,3	12,3	11,6	11,6	11,6
	i3	16,3	9,0	7,5	6,8	6,8
	i4	23,7	12,1	13,1	12,6	12,6
	i5	33,4	19,9	20,6	20,5	20,5
	i6	43,0	28,1	28,1	25,9	25,9
	i7	62,7	36,7	37,7	37,0	37,0
	i8	220,9	135,9	112,0	115,4	115,4
	i9	61,2	47,4	44,1	41,3	41,3
	k2	135,9	100,9	99,2	96,8	96,8
	lal	8,9	7,1	7,5	7,3	7,3
	pair	148,2	121,4	112,0	116,3	109,1
	parity	7,6	6,2	6,5	7,9	2,7
	pcle	4,9	4,8	4,6	4,6	3,9
	pm1	3,9	3,0	3,0	3,2	3,2
	rot	53,7	47,4	44,5	44,7	44,0
	set	7,5	6,1	5,7	5,9	5,9
	t481	113,9	86,8	75,0	76,5	76,5
	tcon	3,3	3,3	2,7	2,7	2,7
	term1	26,4	21,4	19,6	20,3	20,1
	ttt2	18,2	15,5	14,2	14,3	14,1
	unreg	9,2	8,0	5,9	6,1	6,1
	vda	77,6	49,5	48,0	48,2	48,2
	x1	28,7	23,1	21,7	22,0	22,0
	x2	4,9	3,0	3,2	3,2	3,2
	x3	67,4	58,3	55,7	53,4	52,9
	x4	36,2	28,1	28,3	28,8	28,7
EPFL15	router	24,6	-	-	-	20,6
	i2c	115	-	-	-	91,2
	bar	258,9	-	-	-	225,4
	max	334,6	-	-	-	265,3
	sin	570,1	-	-	-	448,8
	arbiter	1023,2	-	-	-	775,6
	square	1853,5	-	-	-	1528,6
	voter	1932,1	-	-	-	1739,9
	multiplier	2804,9	-	-	-	1865,6
	log2	3191	-	-	-	2089,1

Tabela 17: Confiabilidade dos circuitos *benchmarks* em MTBF (h/falhas)

Benchmark	Circuito	MTBF					Aprimoramento (%) Minimal x Fully2
		Minimal (MTBF)	Basic (MTBF)	Complex (FR)	Full (MTBF)	Fully2 (MTBF)	
ISCAS85	c432	4633,13	6127,59	5511,70	5133,12	5713,51	23,32%
	c3540	764,42	885,84	826,79	754,87	902,17	18,02%
	c499	1620,92	1885,68	1871,91	1636,64	1851,79	14,24%
	c7552	344,37	365,59	375,29	342,00	434,83	26,27%
	c5315	437,13	503,85	494,51	496,18	528,00	20,79%
	c2670	757,56	847,20	847,57	828,84	882,78	16,53%
	c1908	1299,30	1493,95	1420,25	1321,95	1722,63	32,58%
	c880	1696,76	2168,41	2042,15	2135,54	2286,78	34,77%
ISCAS89	c6288	112,05	143,34	112,47	114,24	176,46	57,48%
	s9234	374,25	421,44	412,91	405,59	407,23	8,81%
	s5378	433,07	495,62	511,03	503,21	507,36	17,15%
	s1494	2420,64	2473,05	2628,29	2586,30	2552,41	5,44%
	s1488	2443,45	2510,93	2688,48	2595,05	2609,05	6,78%
	s1238	2034,24	2234,36	2276,87	2316,21	2247,67	10,49%
	s1423	1289,49	1507,09	1485,28	1413,29	1358,37	5,34%
	s1196	2005,19	2228,92	2274,76	2329,17	2281,68	13,79%
	s832	4363,16	5053,85	4942,04	4727,77	4700,64	7,73%
	s820	4376,46	5080,40	4923,60	4865,92	4899,38	11,95%
	s510	3241,91	4212,56	4109,83	4068,99	4134,15	27,52%
	s526	3497,19	4123,17	4198,03	3928,29	3911,95	11,86%
	s713	3320,26	3915,02	4390,09	3862,86	3869,93	16,56%
	s641	3526,11	4272,27	4491,93	3940,98	3938,05	11,68%
	s420	4282,22	4715,45	4943,22	4914,51	5134,64	19,91%
	s444	4227,98	4392,98	5356,04	5226,47	5110,33	20,87%
	s400	4267,46	4716,44	4915,25	4670,10	4600,27	7,80%
	s386	11142,37	11121,95	12108,04	12157,65	12184,87	9,36%
	s382	4418,08	4790,55	4943,30	4639,96	4601,61	4,15%
	s298	5470,05	6044,48	6359,25	6193,31	6191,30	13,19%
	s349	5012,89	5188,52	5293,51	5004,36	5025,38	0,25%
	s344	5118,05	5288,38	5295,81	5112,97	5077,73	-0,79%
	s208	8555,14	9395,21	9843,42	9669,26	10011,85	17,03%
LGSynth91	s27	46781,49	49336,11	46853,23	44535,02	44418,01	-5,05%
	9symml	21039,17	20049,21	23337,84	23223,00	23190,54	10,23%
	alu2	4418,23	4885,95	4609,87	4412,95	4811,28	8,90%
	alu4	2299,80	2587,33	2570,27	2654,71	2683,05	16,66%
	apex6	1103,60	1134,59	1425,95	1374,03	1359,97	23,23%
	apex7	2668,63	3048,02	3090,01	3112,48	3120,15	16,92%
	b9	7233,40	7871,67	7948,13	8420,02	8383,20	15,90%
	c8	4370,32	4282,07	4857,45	4834,15	4890,70	11,91%
	cc	9899,95	10012,63	9531,63	9489,96	9489,71	-4,14%
	cht	3408,12	3410,95	4475,32	4443,99	4478,23	31,40%
	cm150a	44815,53	56308,78	52979,40	55078,89	57381,36	28,04%
	cm151a	35012,41	46697,99	46613,95	54240,31	54537,79	55,77%
	cm152a	54040,39	53463,09	60615,70	60299,65	60786,75	12,48%
	cm162a	16250,55	17767,56	25671,28	20288,44	25020,34	53,97%
	cm163a	19949,61	19475,52	24595,80	22805,57	29237,08	46,55%
	cm85a	23295,90	29009,17	32528,30	32245,11	29387,98	26,15%
	cnb	92640,31	120097,78	106461,78	92697,80	92514,00	-0,14%
	comp	33750,33	27679,33	42172,89	30252,26	30463,79	-9,74%
	cordic	35496,85	38459,14	44194,65	45657,62	38476,92	8,40%
	count	6857,12	7018,64	6867,13	9090,35	9071,38	32,29%
	cu	20435,45	22040,11	22221,39	21558,88	21430,32	4,87%
	dalv	1631,90	1689,26	2057,20	2029,48	2254,69	38,16%
	des	126,83	145,95	158,98	148,70	163,90	29,23%
	example2	2422,20	2649,30	2774,17	2583,45	2643,03	9,12%
	f51m	6142,73	7359,29	6516,35	6547,51	6751,28	9,91%
	frg1	27096,57	29684,58	32052,69	30280,59	30898,56	14,03%
	frg2	878,72	1036,81	1028,52	1026,63	1042,47	18,64%
	i1	13920,62	16392,92	17002,15	17638,76	17637,64	26,70%
	i10	313,34	366,94	378,24	366,22	377,26	20,40%
	i2	241337,98	449057,06	375505,31	464687,35	410096,57	69,93%
	i3	44599,96	54523,91	61520,05	62977,13	64250,24	44,06%
	i4	9715,96	17651,32	16015,01	16669,48	16387,19	68,66%
	i5	1658,63	2434,99	2227,88	2224,65	2230,93	34,50%
	i6	1224,53	1821,87	1820,20	1932,26	1949,08	59,17%
	i7	988,33	1449,80	1339,61	1413,48	1394,38	41,08%
	i8	317,56	452,35	514,85	501,73	498,66	57,03%
	i9	736,31	890,99	932,93	1034,02	1031,72	40,12%
	k2	336,84	438,22	450,03	456,80	459,06	36,28%
	lal	9123,17	10992,62	9584,86	9729,07	9724,48	6,59%
	pair	611,09	732,19	693,87	672,80	676,37	10,68%
	parity	7011,93	7790,16	7471,30	6720,91	10432,97	48,79%
	pclv	15038,75	14885,13	13423,81	13300,98	15353,81	2,09%
	pun1	16109,66	18824,93	18053,79	16957,99	16970,15	5,34%
	rot	1071,57	1165,86	1178,92	1145,61	1160,90	8,34%
	set	9157,46	10420,96	10800,38	9600,94	9583,67	4,65%
	t481	935,62	1107,02	1579,25	1428,57	1440,66	53,98%
	tcon	12364,47	12259,26	12706,47	12726,18	12748,04	3,10%
	term1	9847,25	10930,82	11035,53	9796,47	10156,98	3,15%
	ttt2	4222,45	4544,44	4836,76	4781,23	4701,49	11,35%
	unreg	5901,03	7152,81	10395,63	10164,62	10114,23	71,40%
	vda	578,46	803,80	848,74	849,06	849,17	46,80%
	x1	3389,15	3818,83	3672,94	3524,77	3514,64	3,70%
	x2	14099,01	20674,33	19854,76	19993,27	20285,72	43,88%
	x3	1062,42	1304,79	1145,43	1203,27	1208,72	13,77%
EPFL15	x4	1745,11	1920,61	1992,38	1958,28	1944,82	11,44%
	router	12271,45	-	-	-	10062,95	-18,00%
	i2c	884,78	-	-	-	911,92	3,07%
	bar	144,60	-	-	-	172,60	19,37%
	max	401,05	-	-	-	465,35	16,03%
	sin	89,73	-	-	-	108,21	20,59%
	arbiter	565,58	-	-	-	471,24	-16,68%
	square	17,69	-	-	-	21,84	23,44%
	voter	93,36	-	-	-	156,52	67,66%
	multiplier	12,82	-	-	-	17,39	35,66%
	log2	17,16	-	-	-	23,37	36,19%